



UNIVERSITÀ DEGLI STUDI DI CAGLIARI

Facoltà di Ingegneria

Dipartimento di Ingegneria Elettrica ed Elettronica

SILVIO BOLLIRI

**CIRCUITI INTEGRATI ANALOGICI
A BASSA DISSIPAZIONE DI POTENZA**

Dottorato di Ricerca in

Ingegneria Elettronica ed Informatica

XIII

Relatore

Prof. Luigi RAFFO

Tutore

Prof. Luigi RAFFO

1997 - 2000

Sommario

Nell'ambito di questa tesi di dottorato si é affrontato il problema della progettazione di circuiti integrati analogici, con particolare riferimento ai microchip a bassa dissipazione di potenza per sistemi portatili alimentati a batteria. L'attività di ricerca si é incentrata su tre differenti progetti: la realizzazione di un microchip per sistemi d'allarme anti intrusione, la realizzazione di un duplicatore di tensione per telefonini cellulari e lo studio di un nuovo tipo di convertitore analogico/digitale.

Nel primo capitolo viene presentata la realizzazione di un circuito integrato appositamente progettato (ASIC) per essere utilizzato in sistemi anti intrusione alimentati a batteria. Diverse soluzioni sono state adottate per limitare il consumo di potenza, che costituisce la maggior limitazione cui il dispositivo doveva sottostare. In particolare le prestazioni del dispositivo, in termini di stabilità, precisione ed adattabilità, sono state limitate al minimo strettamente necessario per soddisfare le specifiche. Tutte le soluzioni adottate, sebbene orientate ad un'applicazione specifica, possono essere utilizzate in molti altri circuiti alimentati a batteria. L'ASIC é stato integrato in tecnologia CMOS standard AMS $0.8\ \mu m$ ed occupa un'area di $0.53\ mm^2$ ed assorbe 4 micro-ampère. Tutti i componenti sono stati testati e risultato perfettamente funzionanti e conformi alle specifiche. Il chip, sviluppato per conto di una ditta produttrice di sistemi anti intrusione e finanziato dalla comunità europea, é attualmente in produzione e viene commercializzato su una vasta gamma di prodotti (sistemi anti intrusione ma non solo).

Nel secondo capitolo viene presentata la realizzazione di una cella analogica di libreria che implementa un duplicatore di tensione. Il circuito fa parte di un progetto sviluppato per conto dell'ATMEL ed avente come obiettivo la realizzazione di un alimentatore integrato per il *power management* per telefoni cellulari. Il circuito,

alimentato a 2.75 volt, é in grado di generare una tensione di 5.2 volt e di erogare una corrente di 30 milli-ampère. L'efficienza é superiore al 79% mentre il consumo massimo é di circa 70 milli-ampère. Tramite un'apposito circuito l'assorbimento di corrente viene dinamicamente ridotto al diminuire della corrente assorbita dal carico. Questo permette di ridurre di ben tre ordini di grandezza (da 20 milli-ampère a poco più di 20 micro-ampère) il consumo in condizioni di stand-by. Il circuito é stato realizzato in tecnologia CMOS ATMEL 0.35 μm da 3.3 volt con quattro livelli di metallizzazione e con uno speciale strato di ossido spesso per operare con tensioni superiori a 5 volt. Il circuito é stato testato presso i laboratori ATMEL di Rousset (Francia) ed i risultati ottenuti confermano appieno la bontà del circuito e delle soluzioni adottate.

Nel terzo capitolo viene presentato lo studio di una nuova tecnica di conversione analogico/digitale ciclica. L'idea di base é quella di utilizzare un algoritmo finora poco sfruttato, denominato RSD (Redundant Signed Digit), e di estenderlo al caso in cui venga generato più di un bit ciclo. Sfruttando la ridondanza del codice RSD si riesce a ridurre drasticamente l'impatto degli errori di comparazione sulla precisione del convertitore. Questo permette l'utilizzo di comparatori molto semplici e compatti riducendo notevolmente l'occupazione d'area ed il consumo di potenza. Il convertitore scelto per sperimentare la nuova tecnica é costituito da un flash a 5 bit operante in modalità RSD estesa e da un MDAC opportunamente adattato per poter operare direttamente con il codice RSD esteso generato dal flash. Il convertitore è orientato ad applicazioni a bassa dissipazione di potenza ed a media risoluzione (10 bit), quali i dispositivi elettronici portatili di ausilio all'udito. Il convertitore é stato testato tramite simulazioni MATLAB ed Hspice, mettendo in luce pregi e difetti rispetto alla conversione ciclica classica.

Indice

Sommario	I
1 Realizzazione di un ASIC per Sistemi Anti Intrusione	1
1.1 Funzionalità Richieste	2
1.1.1 Specifiche	3
1.2 Trattamento del Segnale	5
1.2.1 Stadio Amplificatore	6
1.2.2 Amplificatore Operazionale	7
1.2.3 Comparatore a Finestra	11
1.2.4 Comparatore	13
1.3 Monitoraggio dell’Alimentazione	15
1.4 Circuito di Polarizzazione	18
1.5 Oscillatore	22
1.5.1 Comparatore	24
1.5.2 Buffer	24
1.5.3 Corrente di Carica/Scarica	25
1.6 Risultati Sperimentali	27
1.6.1 Amplificatore Operazionale	29
1.6.2 Trattamento del Segnale	30
1.6.3 Monitoraggio dell’Alimentazione	30
1.6.4 Oscillatore	32
1.7 Conclusioni	33
Bibliografia	35

2	Realizzazione di un Duplicatore di Tensione	37
2.1	Stato dell'Arte	37
2.1.1	Charge Pump	38
2.1.2	Duplicatore di Tensione	39
2.2	Specifiche di Progetto	41
2.3	Charge Pump	43
2.3.1	Analisi Circuitale	43
2.3.2	Criteri per il Dimensionamento	48
2.3.3	Dimensionamento	49
2.4	Bulk Switching	52
2.4.1	Comparatore per Tensioni di Alimentazione	53
2.4.2	Caratteristica Ingresso/Uscita	55
2.5	Clock	55
2.5.1	Buffer	57
2.5.2	Traslatore di Livello	58
2.5.3	Clock a Due Fasi	59
2.6	Duplicatore di Tensione	61
2.7	Riduzione del Consumo	64
2.7.1	Comparatore	66
2.7.2	Consumo	66
2.8	Circuito Finale	70
2.8.1	Efficienza	73
2.8.2	Risultati	73
2.9	Conclusioni	73
	Bibliografia	75
3	Convertitore A/D Ciclico con RSD Esteso	77
3.1	Conversione Ciclica Classica	78
3.1.1	Diagramma di Robertson	79
3.1.2	Esempio numerico	80
3.1.3	Range d'Ingresso	80
3.2	Conversione Ciclica RSD	81

3.2.1	Diagramma di Robertson	83
3.2.2	Esempio numerico	84
3.3	Effetto delle Non Idealità	84
3.3.1	Errore sulla Comparazione	85
3.3.2	Errore di Offset	86
3.3.3	Errore di Guadagno	86
3.3.4	Errori di Non Linearità	89
3.3.5	Confronto fra Ciclico Classico ed RSD.	89
3.4	RSD Esteso	90
3.4.1	Confronto fra Ciclico Classico ed RSD Esteso.	92
3.5	Architettura Generale del Convertitore Ciclico	94
3.6	Convertitore Flash ad n bit	96
3.6.1	Comparatori	98
3.7	MDAC	99
3.7.1	MDAC con RSD Esteso	102
3.7.2	MDAC Differenziale	103
3.8	Specifiche di Progetto	105
3.8.1	Amplificatore Operazionale	105
3.8.2	Selettore Logico	107
3.8.3	Flip Flop D e Codifica	108
3.9	Simulazioni MATLAB	109
3.10	Simulazioni Hspice	110
3.11	Conclusioni	111
	Listati MATLAB	113
	Bibliografia	117

Capitolo 1

Realizzazione di un ASIC per Sistemi Anti Intrusione

In questo capitolo viene presentata la realizzazione di un circuito integrato appositamente progettato (ASIC) per essere utilizzato in sistemi anti intrusione alimentati a batteria [1]. In questo campo, e più in generale in tutti i campi in cui si ha a che fare con un'alimentazione a batteria, il consumo di potenza diventa un fattore di primaria importanza tanto da costituire spesso la specifica più stringente cui soddisfare.

Il progetto, sviluppato per conto di una ditta produttrice di circuiti e sistemi anti intrusione e finanziato dalla comunità europea, nasce dall'esigenza di integrare su silicio la propria gamma commerciale di prodotti a componenti discreti. É richiesto, inoltre, l'implementazione di funzioni logiche di controllo e di trattamento dei segnali al fine di rendere il chip, almeno nell'ambito specifico dei sistemi anti intrusione, *general purpose*. Il chip, previa abilitazione/disabilitazione di alcune sue funzioni, dovrà essere utilizzato su tutti i nuovi prodotti. Tra questi, in particolare, una versione *wireless* di sensore anti intrusione, la cui realizzazione é resa possibile solo grazie alla riduzione d'area e soprattutto di consumo di potenza derivante dall'implementazione su silicio.

Per ridurre la complessità del dispositivo e dovendo utilizzare una tecnologia VLSI CMOS standard la parte digitale é stata implementata mediante standard cell. Le limitazioni sul consumo di potenza, quindi, si sono concentrate sulla parte

analogica, che costituisce la parte critica del chip [2]. Varie tecniche sono state utilizzate per aumentare l'autonomia del chip e per far sì che potesse operare anche in condizioni di alimentazione variabile (fase di scarica della batteria). Ogni circuito é stato ottimizzato per limitare il consumo di potenza, in particolare le prestazioni sono state limitate al minimo indispensabile richiesto per soddisfare le specifiche.

Sebbene il chip sia stato realizzato per un'applicazione specifica le soluzioni adottate possono essere utilizzate in molti altri circuiti alimentati a batteria.

1.1 Funzionalità Richieste

Il chip deve essere in grado di determinare la presenza o meno di un segnale d'allarme proveniente da un sensore piroelettrico anti intrusione a raggi infrarossi (IR). Per determinare se si tratti di un allarme il segnale deve essere prima amplificato, poi discriminato confrontandolo con una soglia di riferimento. Per poter supportare diversi tipi di sensore ed in particolare per permettere la calibrazione del raggio d'azione degli stessi é richiesta la possibilità di variare la soglia discriminante tra allarmi validi e non o, in alternativa, l'amplificazione del segnale.

Il chip deve monitorare la tensione di alimentazione in modo da segnalare per tempo la scarica della batteria.

Il chip deve emettere (tramite un trasmettitore esterno) un segnale periodico di esistenza in vita. Questo segnale deve contenere un numero identificativo univoco del dispositivo memorizzato all'interno del chip stesso in fase di montaggio. Sempre in fase di montaggio andrà memorizzato anche un codice di configurazione. La parte digitale, in base al codice di controllo, provvederà ad abilitare/disabilitare determinate funzioni, permettendo così l'utilizzo dello stesso chip per diverse applicazioni. Per poter funzionare la parte digitale necessita di un segnale di clock, il quale deve essere generato internamente al chip.

Per prolungare la vita della batteria (sono richiesti 5 anni di autonomia) il chip deve fornire tutte queste funzioni con un bassissimo consumo di potenza.

1.1.1 Specifiche

Vengono qui di seguito riportate le specifiche tecniche richieste per la parte analogica di interfaccia e trattamento del segnale, per il monitoraggio della tensione di alimentazione e per il consumo di potenza del dispositivo (vedi Tab. 1.1).

Tecnologia	CMOS AMS 0.8 μm
Ampiezza segnale	~ 0.6 mV
Frequenza segnale	0.15–12 Hz
Componente continua	0.3–1 V (0.6 V tipico)
Impedenza d'uscita	100 k Ω
Tensione pila	6 V
Intervallo di funzionamento	4–6 V
Soglia pila scarica	4.25 ± 0.25 V
Frequenza clock	5 kHz
Precisione	30%
Corrente max	15 μA

Tabella 1.1: Specifiche.

Tecnologia

Il chip doveva essere realizzato presso l'AMS in tecnologia CMOS standard 0.8 μm con due livelli di metallizzazione e due di polisilicio.

Sensore e Segnale d'Allarme

Il segnale d'ingresso proviene da un sensore anti intrusione, e precisamente un sensore differenziale a raggi infrarossi (pireoelettrico). In condizioni di attesa (assenza di allarme) l'uscita del pireoelettrico é costante e pari a circa 0.6 volt, ma questo valore può variare, da sensore a sensore ed in funzione della temperatura, tra 0.3 ad approssimativamente 1 volt. Quando un sorgente di calore (come un corpo umano) in movimento si presenta davanti al sensore viene generato un impulso. L'ampiezza di

questo impulso varia in funzione dell'intensità della sorgente di calore e soprattutto della sua distanza dal sensore. Un segnale viene considerato allarme se presenta un'ampiezza dell'ordine dei 0.6 milli-volt. La frequenza dell'impulso è data invece dalla velocità con cui la sorgente di calore si muove davanti al sensore. Considerando l'applicazione e la velocità tipica dei movimenti di un corpo umano (ladro) un segnale è da considerarsi allarme valido nella banda di frequenze che vanno da 0.15 a 12 hertz circa. Il segnale proveniente dal piroelettrico, essendo prelevato da un nodo ad alta impedenza (circa 100 kilo-ohm), non è in grado di pilotare un carico.

Batteria

L'alimentazione avviene tramite una pila da 6 volt. La tensione fornita dalla pila, dopo un breve transitorio iniziale, si stabilizza attorno al valore nominale (6 volt), e vi rimane fino a quando comincia ad esaurirsi. A questo punto la tensione inizia a diminuire sensibilmente.

Al chip è richiesto di poter operare con tensioni di alimentazione che vanno dai 6 volt nominali fino a 4 volt circa. Parallelamente deve tenere sotto controllo lo stato della pila, segnalando quando la tensione diminuisce tanto da pregiudicare il corretto funzionamento del dispositivo. Non è richiesta una grande precisione (la tensione diminuisce rapidamente quando la pila va esaurendosi) per cui la soglia di 4.25 volt con tolleranza di ± 0.25 volt (richiesta dalle specifiche) risulta essere più che sufficiente.

Clock

Il clock è necessario anche per fornire la base dei tempi per la temporizzazione delle operazioni periodiche (emissione del segnale di esistenza in vita, etc.). Per questo tipo di operazioni è richiesto un clock di 5 kilo-hertz con una precisione del 30%. Per poter eventualmente agire sulle temporizzazioni è richiesta la possibilità di poter variare la frequenza del clock. Non ci sono particolari specifiche sul duty-cycle.

Consumo

In condizioni di piena operatività l'intero chip deve avere un assorbimento massimo di corrente pari a 15 micro-ampère, ma un valore inferiore é auspicato e fortemente raccomandato.

1.2 Trattamento del Segnale

Il segnale d'allarme proveniente dal sensore IR non é in grado di pilotare un carico (presenta un'elevata impedenza d'uscita) per cui é necessario acquisirlo tramite un circuito che presenti a sua volta un'elevata impedenza d'ingresso. Il segnale così acquisito deve essere poi amplificato, disaccoppiato dalla componente continua e limitato in banda.

L'amplificazione deve essere tale da portare il segnale ad un valore sufficientemente grande da poter determinare la presenza di un allarme. A tal riguardo la componente continua, non contenente alcuna informazione, vè eliminata. Le componenti del segnale a più bassa frequenza, originate da cambiamenti termici troppo lenti per poter essere associati alla presenza di una qualche persona o animale in movimento, devono anch'esse essere eliminate. Cambiamenti così lenti possono essere causati da variazioni di temperatura dell'ambiente circostante, dal passaggio luce/ombra dovuto al movimento del sole, etc. Anche le componenti a frequenza più alta, associabili a segnali d'interferenza esterni, vanno eliminate.

Infine é necessario ricavare, dal segnale amplificato e filtrato, un'informazione di tipo ON/OFF sulla presenza o meno di un allarme. Sarà la parte digitale che determinerà, tramite un algoritmo basato su considerazioni di tipo statistico, se si tratta di un allarme valido o di un falso allarme.

In Fig. 1.1 é riportato lo schema a blocchi del circuito che effettua il trattamento dei segnali provenienti dal sensore IR. Il circuito consiste in un primo stadio amplificatore (che agisce anche da filtro) seguito da un comparatore a finestra.

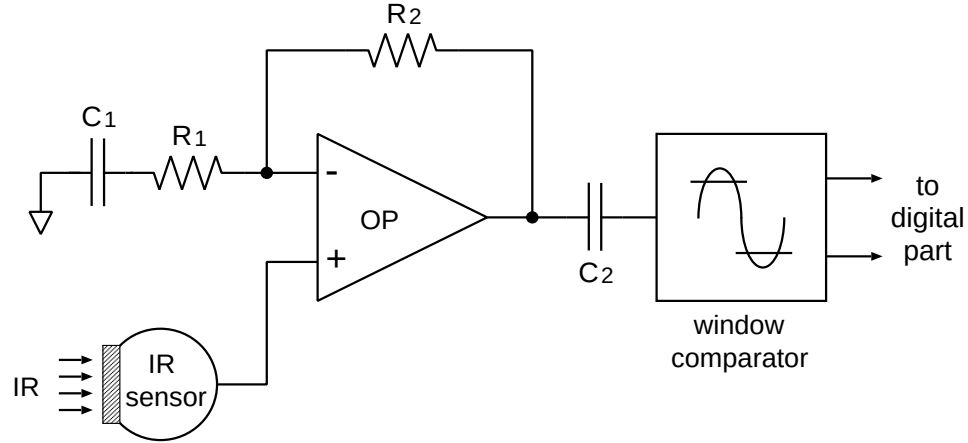


Figura 1.1: Circuito per il trattamento del segnale.

1.2.1 Stadio Amplificatore

Lo stadio amplificatore realizzato consiste in un amplificatore operazionale connesso in configurazione non-invertente ed accoppiato in continua. Si noti come la necessità di dover fornire al segnale un'impedenza d'ingresso molto elevata ha portato a scegliere di collegare l'uscita del sensore IR direttamente all'ingresso (ad alta impedenza) dell'operazionale. Questa scelta obbliga, però, ad accoppiare in continua l'amplificatore. Il valore dell'amplificazione è fissato dalla rete resistiva di retroazione mentre la capacità C_1 agisce sia da condensatore di blocco della continua, permettendo così all'amplificatore di *autopolarizzarsi*, sia da filtro passa-alto, eliminando così le componenti a bassa frequenza del segnale. La capacità C_2 rimuove la componente continua dal segnale amplificato (compresi eventuali offset) e lo centra all'interno della finestra d'intervento del comparatore a finestra. All'interno di tale finestra un segnale non verrà riconosciuto come allarme.

L'amplificatore ha un guadagno pari a

$$A = 1 + \frac{R_2}{R_1}$$

mentre la frequenza di taglio inferiore, data dal polo introdotto dalla capacità C_1 , è pari a

$$f_1 = \frac{1}{2\pi R_1 C_1} . \quad (1.1)$$

La frequenza di taglio superiore é data, invece, dalla banda dell'operazionale.

L'amplificazione richiesta é limitata inferiormente dal valore minimo che un segnale deve avere per essere individuato dal comparatore a finestra. Come valore di sicurezza é stato scelto 90 milli-volt, il che significa avere una finestra ampia 180 milli-volt. Con un'amplificazione pari a 150 un segnale proveniente dal sensore IR di ampiezza pari a 0.6 milli-volt verrà riconosciuto come allarme e segnalato alla parte digitale.

Con un guadagno pari a 150 e con un valore massimo per R_2 di qualche mega-ohm non é possibile avere per R_1 valori superiori a qualche decina di kilo-ohm, mentre la frequenza di taglio inferiore deve essere pari a 0.15 hertz. Dalla (1.1) si evince che per ottenere un polo a così bassa frequenza occorre quindi una capacità C_1 dell'ordine di qualche decina di micro-farad, che ovviamente non può essere integrata sul chip ma deve essere esterna. Su richiesta della ditta committente anche le resistenze R_1 ed R_2 sono esterne. Questo da un lato semplifica il circuito, permettendo un agevole intervento esterno di modifica del guadagno (in fase di calibrazione del raggio d'azione del sensore), dall'altro permette un notevole risparmio d'area.

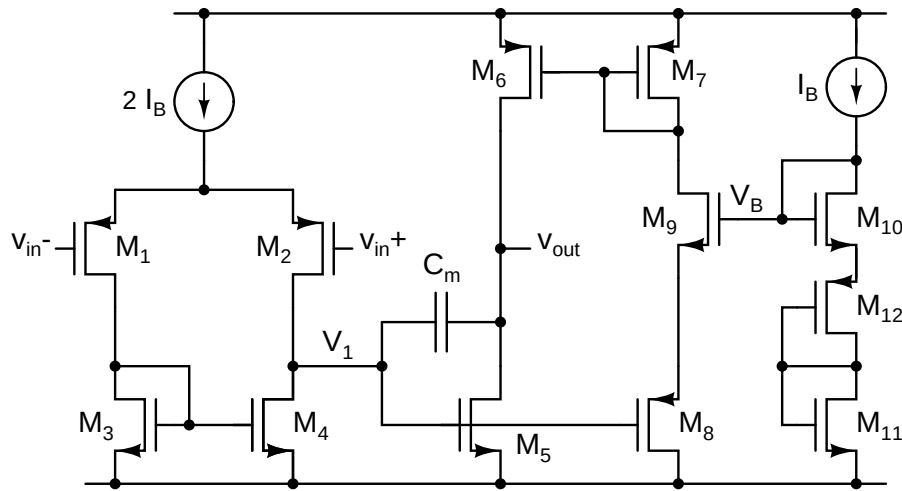
Sempre a causa delle bassissime frequenze in gioco anche la capacità di blocco C_2 deve avere un valore molto elevato, dell'ordine del centinaio di nano-farad deve essere esterna al chip.

1.2.2 Amplificatore Operazionale

L'amplificatore operazionale deve essere in grado di pilotare un carico esterno elevato, dato dalla rete resistiva di retroazione e dalla capacità di blocco C_2 , ed questo con una bassissima dissipazione di potenza. Questa elevata capacità di carico, però, non é richiesta sempre ma solo in presenza di un segnale (allarme). L'operazionale deve quindi avere un basso consumo corrente in condizioni di attesa ma deve essere in grado di erogare correnti elevate quando la presenza di un segnale lo richiede. In letteratura sono state implementate diverse soluzioni per risolvere questo problema [3, 4, 5, 6, 7]. La soluzione adottata é stata quella di utilizzare una *polarizzazione attiva* per lo stadio d'uscita dell'operazionale, che in sostanza consiste nel fare in modo che la corrente di polarizzazione aumenti all'aumentare della corrente richiesta

dal carico.

In Fig. 1.2 é riportato lo schema circuitale ed il dimensionamento dell'amplificatore operazionale. L'architettura di base é quella di un OTA di Miller. La capacit  di compensazione C_m , di valore pari ad 1 pico-farad, é di tipo *poly-poly*, ovvero é costituita da due strati sovrapposti di polisilicio (*poly1* e *poly2*).



	W [μm]	L [μm]	C [pF]	Tipo
M_1, M_2	20	4	—	PMOS
M_3, M_4, M_{11}	4	10	—	NMOS
M_5	12.5	10	—	NMOS
M_6	25	10	—	PMOS
M_7	4	10	—	PMOS
M_8, M_{12}	4	8	—	PMOS
M_9, M_{10}	4	25	—	NMOS
C_m	40	30	1	CPOLY

Figura 1.2: Schema circuitale e dimensionamento dell'amplificatore operazionale.

La scelta di realizzare la coppia differenziale con dei PMOS é dovuta, oltre che alla loro minore *rumorosità*, al basso valore della componente continua che il segnale proveniente dal sensore IR può avere. In questo caso, infatti, la componente continua del segnale dà la polarizzazione alla coppia differenziale (si ricordi che l'operazionale

é accoppiato in continua). Con la coppia differenziale PMOS l'operazionale é in grado di operare con tensioni di modo comune in ingresso anche prossime allo zero.

La differenza rispetto all'OTA di Miller classico consiste nel fatto che il transistor d'uscita M_6 non é polarizzato a corrente costante (carico passivo tradizionale) ma tramite una corrente che varia in funzione della tensione d'uscita dello stadio d'ingresso V_1 . La corrente pilotata da M_6 aumenta al diminuire della tensione V_1 , ed in questo modo l'operazionale é in grado non solo di assorbire (tramite M_5) ma anche di erogare (tramite M_6) elevate correnti sull'uscita.

La polarizzazione attiva avviene modulando la tensione $V_B - V_1$, che non é altro che la somma delle tensioni di soglia dei transistor M_8 ed M_9 . La tensione V_B é costante ed é generata per mezzo di tre transistor connessi a diodo, M_{11} , M_{12} ed M_{10} . In assenza di segnale l'operazionale, grazie anche alla rete di retroazione, si porta in una situazione di equilibrio in cui la corrente che scorre su M_5 é uguale a quella che corre su M_6 (in condizioni stazionarie l'operazionale risulta connesso ad inseguitore e la corrente sull'uscita é nulla). Il valore di questa corrente che scorre nel ramo d'uscita é circa pari alla corrente di polarizzazione I_B (avendo posto $M_{11} = M_4$ ed $M_{12} = M_8$ la tensione sui gate di M_9 ed M_{10} , in assenza di segnale, sono simili ed i due transistor agiscono da specchio di corrente).

In presenza di segnale la tensione V_1 varia. Se il segnale (applicato al terminale non invertente) é positivo l'operazionale deve erogare corrente per far si che anche la tensione d'uscita aumenti. L'aumento di v_{in}^+ produce una diminuzione di V_1 ed il conseguente aumento della tensione $V_B - V_1$. Questo produce, a sua volta, un aumento delle tensioni di soglia dei transistor M_8 ed M_9 e, di conseguenza, della corrente che vi scorre. Questo aumento di corrente, specchiata su M_6 e sommata alla diminuzione di corrente assorbita da M_5 (V_1 é diminuita) si ritrova tutta sull'uscita. Analogamente quando v_{in}^+ diminuisce si avrà una diminuzione di $V_B - V_1$ e della corrente erogata da M_6 mentre aumenta quella assorbita da M_5 (V_1 é aumentata). Tutto questo produce l'aumento della corrente assorbita dalla rete di retroazione, aumento necessario per far si che la tensione d'uscita dell'amplificatore diminuisca. La corrente d'uscita dell'operazionale, $I_6 - I_5$, varia molto rapidamente in quanto V_1 controlla direttamente le tensioni di soglia dei transistor M_5 , M_8 ed M_9 (in un transistor MOS la dipendenza della corrente dalla tensione di soglia é di tipo esponenziale *sotto-soglia* e quadratica

sopra-soglia). Questo permette all'operazionale di pilotare elevate correnti d'uscita, e quindi di avere un elevato *slew-rate*, pur avendo correnti di polarizzazione molto basse.

Normalmente un amplificatore deve essere stabile a *ciclo aperto*, il che implica la stabilità in ogni condizione di lavoro. Il caso peggiore si ha quando l'amplificatore è connesso ad inseguitore (guadagno pari ad 1). In tale situazione ogni fluttuazione dell'uscita viene riportata per intero sull'ingresso. Nel nostro caso, però, l'amplificatore verrà usato sempre e soltanto a ciclo chiuso (è finalizzato ad un'applicazione specifica) per cui la stabilità a ciclo aperto non è realmente necessaria. In base a questa considerazione ci si è accontentati di limitare la condizione di stabilità (60° di margine di fase) a soli casi in cui il guadagno a ciclo chiuso fosse maggiore di 10. In questo modo si è limitato ulteriormente il consumo, arrivando a poter utilizzare una corrente di polarizzazione I_B di soli 100 nano-ampère.

In Fig. 1.3 è riportato il layout dell'amplificatore operazionale. Il circuito presenta un'occupazione d'area di 0.007 mm^2 , capacità di compensazione inclusa (chiaramente visibile sulla destra).

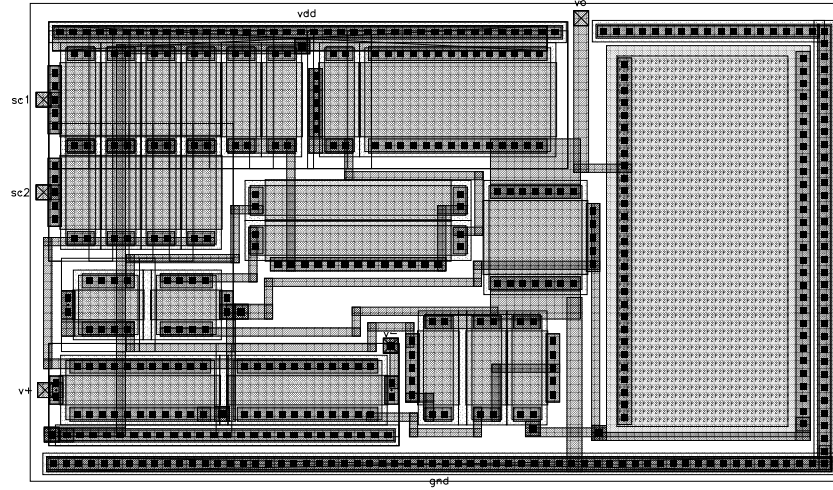
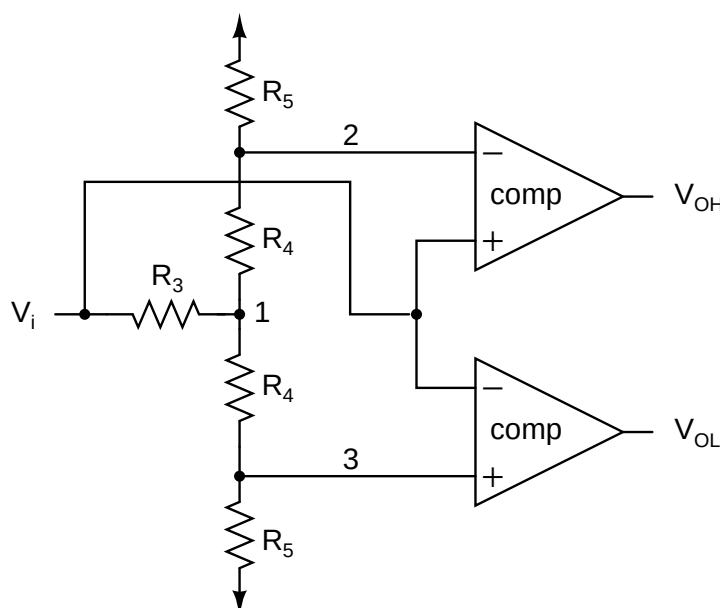


Figura 1.3: Layout dell'amplificatore operazionale (dimensioni: $110 \mu\text{m} \times 65 \mu\text{m}$).

1.2.3 Comparatore a Finestra

Il comparatore a finestra riceve il segnale amplificato e ne effettua una sogliatura. Se il segnale ha un'ampiezza tale da portarlo fuori dalla finestra verrà generato e trasmesso alla parte digitale un segnale di tipo ON/OFF. In Fig. 1.4 é riportato lo schema circuitale del comparatore a finestra. É costituito da due comparatori e



	W [μm]	L [mm]	R [$k\Omega$]	Tipo
R_3	1	8	10 000	RPOLYH
R_4	5	0.62	150	RPOLYH
R_5	5	21	5 100	RPOLYH

Figura 1.4: Schema circuitale e dimensionamento del comparatore a finestra.

da un partitore resistivo il quale genera le tensioni di soglia delimitanti la finestra di comparazione e, assieme alla resistenza R_3 ed alla capacità di blocco C_2 (vedi Fig. 1.1), centra il segnale all'interno di questa finestra. I segnali d'uscita V_{OH} e V_{OL} sono attivi alti: sono a zero ('0' logico) fintanto che il segnale d'ingresso V_i rimane all'interno della finestra. Non appena V_i é sufficientemente grande da uscire dalla finestra il relativo comparatore commuta e genera un '1' logico.

La finestra di comparazione é delimitata dalle tensioni

$$v(2/3) = v(1) \pm \underbrace{\frac{R_4}{R_4 + R_5}}_{v_w} v(1),$$

dove con v_w si é indicato il valore delle tensioni di soglia (positiva o negativa) riferite a $v(1)$. La finestra é ovviamente centrata su $v(1)$, la cui espressione risulta essere

$$v(1) = \frac{V_{DD}}{2} + \frac{R_4 + R_5}{2R_3 + R_4 + R_5} v_i. \quad (1.2)$$

Sostituendo la (1.2) nell'espressione della v_w si ottiene

$$v_w = \frac{R_4}{R_4 + R_5} \frac{V_{DD}}{2} + \frac{R_4}{2R_3 + R_4 + R_5} v_i.$$

Un segnale é considerato allarme quando ha un'ampiezza pari almeno a v_w , ma v_w é un valore relativo in quanto dipende dallo stesso segnale v_i . Il valore assoluto della soglia, V_W , é dato da quel valore di v_i che soddisfa l'equazione $v_i = v_w$, ovvero

$$v_i = \frac{R_4}{R_4 + R_5} \frac{V_{DD}}{2} + \frac{R_4}{2R_3 + R_4 + R_5} v_i \Big|_{v_i = V_W}.$$

Da questa si ottiene

$$V_W \left(1 - \frac{R_5}{2R_3 + R_4 + R_5}\right) = \frac{R_4}{R_4 + R_5} \frac{V_{DD}}{2} \Rightarrow$$

$$V_W \frac{2R_3 + R_4}{2R_3 + R_4 + R_5} = \frac{R_4}{R_4 + R_5} \frac{V_{DD}}{2},$$

ed infine

$$V_W = \frac{R_4(2R_3 + R_4 + R_5)}{(R_4 + R_5)(2R_3 + R_4)} \frac{V_{DD}}{2}.$$

Si noti come la soglia dipenda dalla tensione di alimentazione: essendo quest'ultima variabile nell'intervallo 4–6 volt nell'arco di vita della pila, la soglia d'allarme avrà un'escursione pari al $\pm 20\%$. Questa variabilità nella soglia d'allarme, seppur molto elevata, rientra nel campo di variabilità del segnale. Infatti, le variazioni d'ampiezza che il segnale presenta a causa della diversa sorgente di calore e della diversa distanza dal sensore sono ben maggiori.

Le resistenze R_3 , R_4 ed R_5 sono state integrate sul chip mentre C_2 è esterna. Scegliendo i valori

$$R_3 \simeq 10 \text{ M}\Omega$$

$$R_4 = 150 \text{ k}\Omega$$

$$R_5 = 5.1 \text{ M}\Omega$$

$$C_2 = 100 \text{ nF}$$

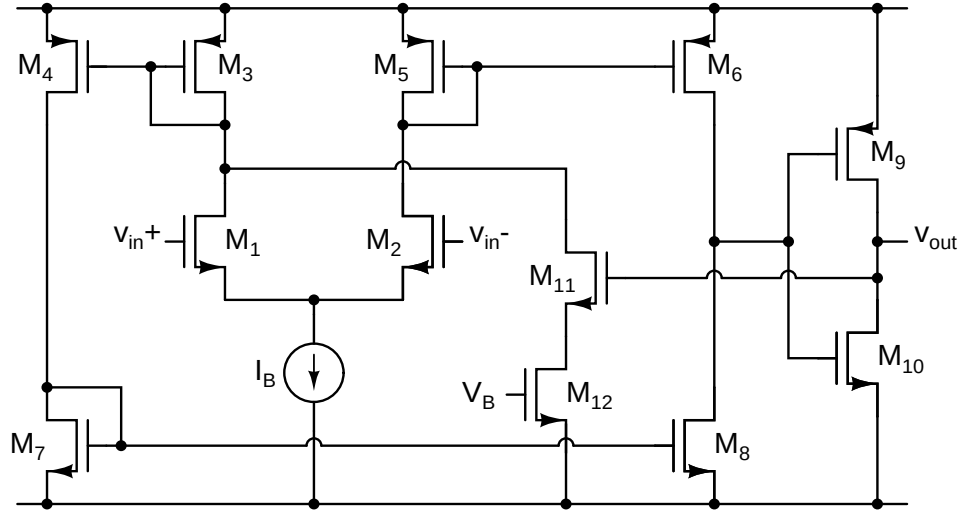
si ottenere una soglia d'allarme V_W di circa 89 milli-volt (calcolata per $V_{DD}=5$ volt) mentre il condensatore di blocco C_2 introduce un polo a circa 0.13 hertz (frequenza di taglio del filtro passa alto).

Affinché la finestra sia perfettamente simmetrica (stesso valore per la soglia positiva e per quella negativa) e centrata su $\frac{V_{DD}}{2}$ è necessario garantire un buon *matching* tra le due resistenze R_4 e tra le due resistenze R_5 . Questo avrebbe anche limitato gli effetti che la variazione del valore delle resistenze ha sul valore della soglia. Le resistenze R_4 ed R_5 sono state realizzate con una struttura simmetrica a pettine costituita da strisce uguali di polisilicio altamente resistivo (RPOLYH). Per limitare ulteriormente il mismatch tra le resistenze le strisce di polisilicio non sono state realizzate a dimensione minima, anche se questo ha portato ad un aumento dell'occupazione d'area. La resistenza R_3 , invece, è stata realizzata con un'unica striscia di polisilicio a dimensione minima (ovviamente ripiegata più volte). I suoi effetti sul valore della soglia, infatti, sono minori e dato il suo elevato valore la scelta di realizzarla a dimensione minima è quasi obbligata se la si vuole integrare sul chip.

1.2.4 Comparatore

In Fig. 1.5 è riportato lo schema circuitale ed il dimensionamento dei due comparatori che compongono il comparatore a finestra. L'architettura di base è quella di un OTA simmetrico, modificato con l'aggiunta di un inverter in uscita per squadrare il segnale e di un circuito che introduce dell'isteresi nella caratteristica ingresso/uscita. Il circuito è stato polarizzato con una corrente I_B di soli 100 nano-ampère.

Quando l'uscita è bassa il transistor M_{11} è spento ed il comparatore opera in



	W [μm]	L [μm]	Tipo
M_1, M_2	20	2	NMOS
M_3-M_6	4	10	PMOS
M_7, M_8	4	20	NMOS
M_9	4	8	PMOS
M_{10}	2	8	NMOS
M_{11}	2	0.8	NMOS
M_{12}	2	40	NMOS

Figura 1.5: Schema circuitale del comparatore.

maniera simmetrica: la commutazione basso/alto si avrà per

$$v_{in}^- = v_{in}^+ \Rightarrow v_{in} = v_{in}^+ - v_{in}^- = 0.$$

Con l'uscita alta, invece, M_{11} si accende ed M_{12} assorbe corrente, facendo quindi aumentare la corrente che scorre su M_3 . In queste condizioni M_8 é in grado di pilotare più corrente di M_6 e per avere una commutazione alto/basso é richiesta una

$$v_{in}^- > v_{in}^+ \Rightarrow v_{in} < 0.$$

Questa differenza nel valore della tensione d'ingresso v_{in} richiesta per avere una

commutazione costituisce appunto l'isteresi. Il circuito è stato dimensionato affinché presenti un'isteresi di 15 milli-volt.

In Fig. 1.6 è riportato il layout del comparatore. Il circuito presenta un'occupazione d'area di circa 0.005 mm^2 .

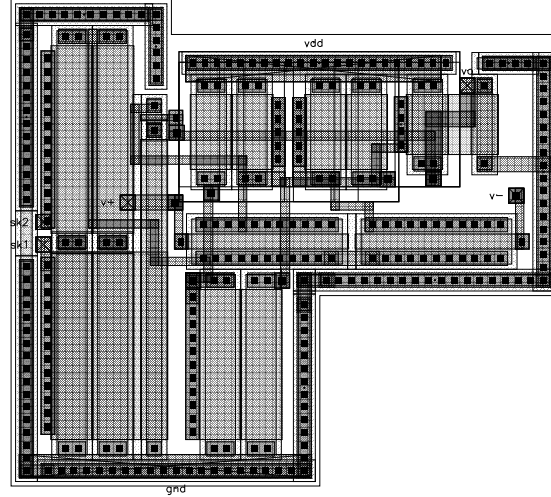


Figura 1.6: Layout del comparatore (dimensioni: $73 \mu\text{m} \times 65 \mu\text{m}$).

In Fig. 1.7 è riportato il layout del comparatore a finestra. Il circuito presenta un'occupazione d'area di 0.3 mm^2 , di cui la quasi totalità dovuta al partitore resistivo (i due comparatori occupano solo una piccola area nella parte inferiore destra).

1.3 Monitoraggio dell'Alimentazione

Il chip deve tenere sotto controllo l'alimentazione e segnalare quando questa scende sotto i 4.25 volt (con una tolleranza di ± 0.25 volt). In Fig. 1.8 ne viene riportato lo schema circuitale ed il dimensionamento. Il circuito è costituito da un comparatore che confronta una tensione di riferimento con la tensione proveniente da un partitore resistivo connesso all'alimentazione [8, 9]. In condizioni di pila carica l'uscita del circuito V_{SM} è alta mentre si porta a zero quando la pila è in via di esaurimento.

Il comparatore utilizzato è lo stesso già impiegato per il comparatore a finestra. Dato che con è richiesta una grande precisione la tensione di riferimento è stata

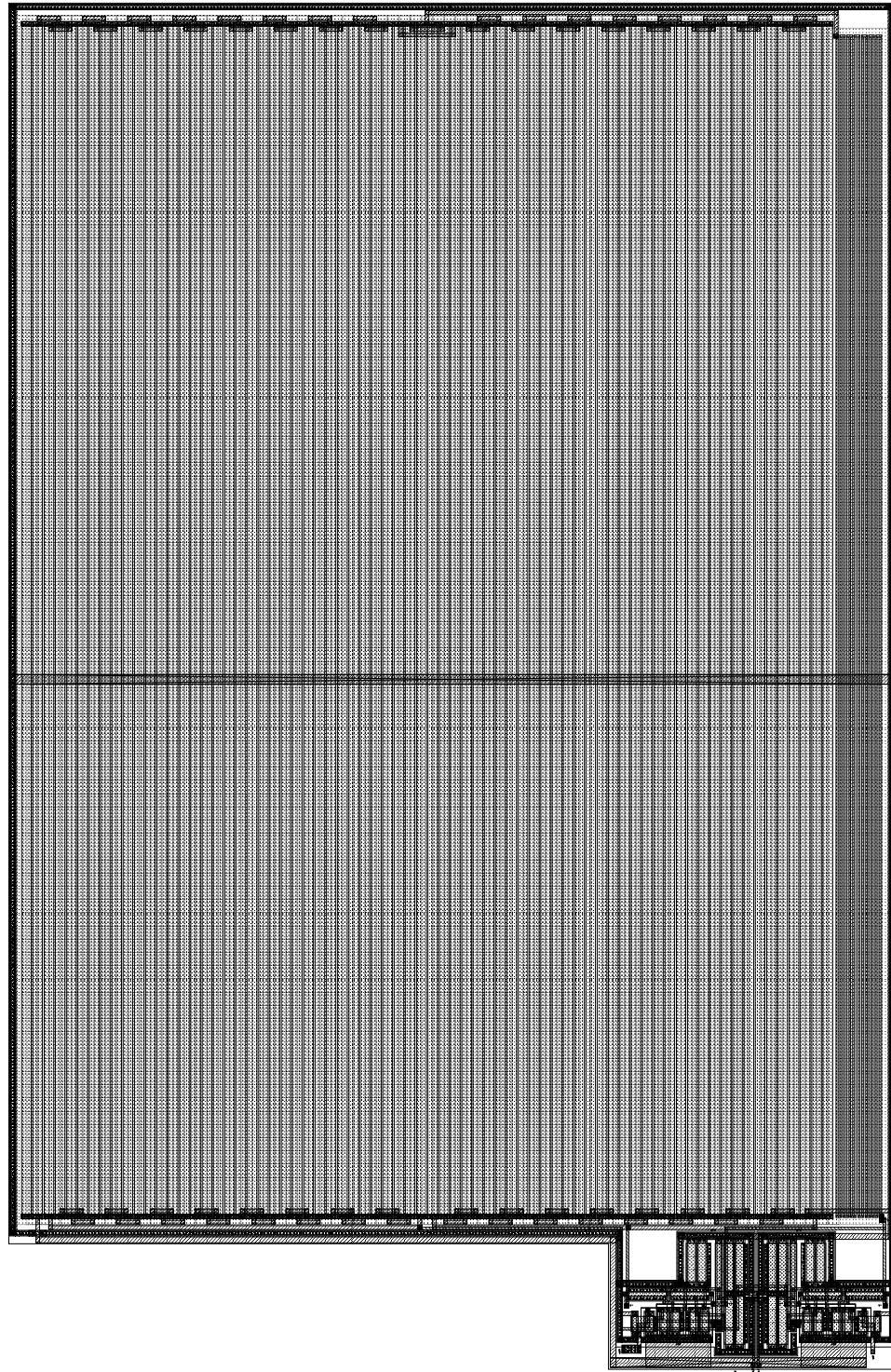


Figura 1.7: Layout del comparatore a finestra (dimensioni: $465\ \mu m \times 710\ \mu m$).

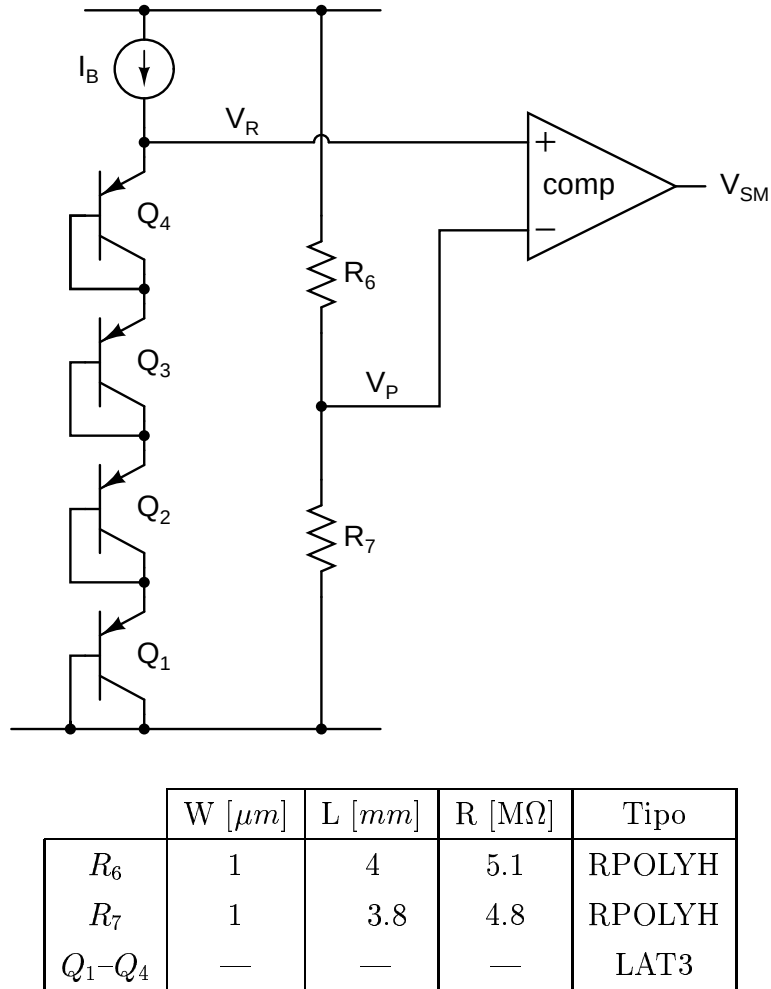


Figura 1.8: Circuito per il monitoraggio dell'alimentazione.

generata ponendo in serie quattro transistor bipolari connessi a diodo, e pilotandoli con una corrente costante I_B di 50 nano-ampère. Come BJT sono stati utilizzati dei *pnp laterali* (LAT3), forniti come cella di libreria (e non dimensionabile) dalla tecnologia CMOS AMS 0.8 μm utilizzata. Con questa soluzione si ottiene una tensione di riferimento V_R di circa 2.06 volt. Per ottenere un'uguale tensione V_P in corrispondenza di $V_{DD} = 4.25$ volt, le resistenze R_6 ed R_7 sono state poste pari a

$$R_6 = 5.1 \text{ M}\Omega$$

$$R_7 = 4.8 \text{ M}\Omega$$

Per integrare sul chip resistenze di valore così elevato (necessario per limitare il consumo di potenza) il partitore resistivo è stato realizzato utilizzando strisce di polisilicio altamente resistivo a dimensione minima. Per limitare l'effetto del *mismatch* si è fatto uso di una struttura interdigitata.

In Fig. 1.9 è riportato il layout del circuito. L'occupazione d'area è di circa 0.03 mm^2 , di cui gran parte dovuta al partitore resistivo. I quattro transistor bipolari sono ben visibili nella parte inferiore del layout.

1.4 Circuito di Polarizzazione

Tutti i circuiti analogici visti finora necessitano di una corrente di polarizzazione. Queste correnti di polarizzazione vengono generate replicando un'opportuna corrente di riferimento. In Fig. 1.10 viene presentato il circuito utilizzato per generare la corrente di riferimento per l'intero chip ed il relativo dimensionamento.

La soluzione è quella generalmente adottata per i circuiti a bassa dissipazione di potenza [10, 11]. Lo specchio di corrente cascodato formato dai transistor M_3 – M_6 presenta un guadagno pari ad 1, mentre lo specchio formato da M_1 ed M_2 presenta un guadagno K pari a 2. Questo è vero per correnti prossime allo zero. Man mano che la corrente aumenta, infatti, aumenta la caduta di potenziale V_R sulla resistenza, diminuisce la tensione *gate-source* su M_2 e quindi anche la corrente I_2 che lo attraversa. Come mostra il grafico di Fig. 1.11, ci sono due punti di equilibrio, uno nell'origine ed uno (P) in cui il guadagno $K > 1$ è compensato dalla caduta V_R sulla resistenza. In entrambi, per effetto dello specchio M_3 – M_6 , si avrà

$$I_1 = I_2,$$

da cui, nel caso i transistor M_1 ed M_2 operino in regione di sotto soglia¹,

$$V_R \simeq V_t \ln K = 17.75 \text{ mV},$$

¹ In regione di sotto soglia la corrente che scorre in un transistor MOS può essere espressa come

$$I_{ds} = I_0 e^{\frac{V_g}{nV_t}} e^{-\frac{V_s}{V_t}} \left(1 - e^{-\frac{V_{ds}}{V_t}} \right),$$

con V_{ds} , in saturazione, sicuramente superiore a qualche V_t .

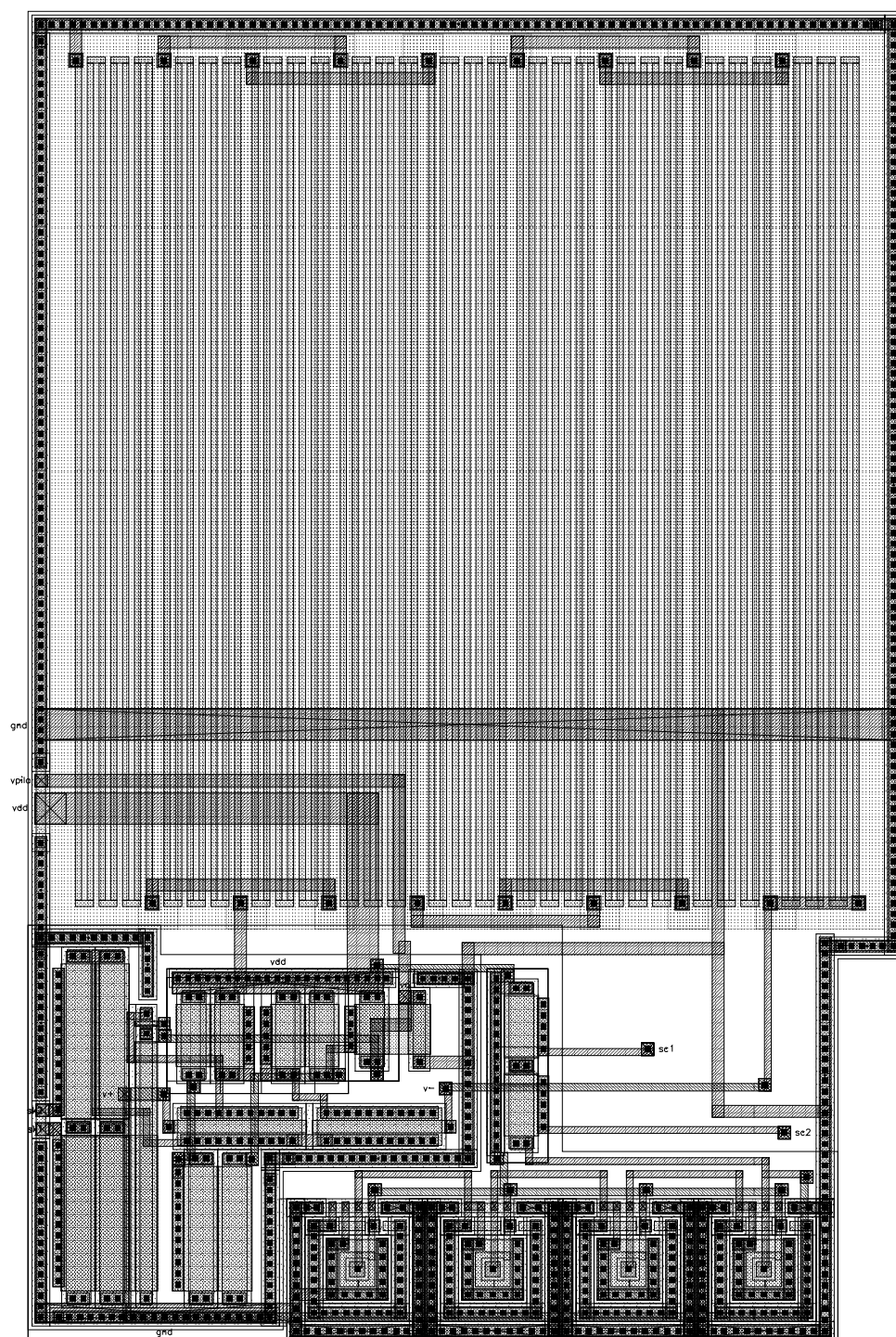
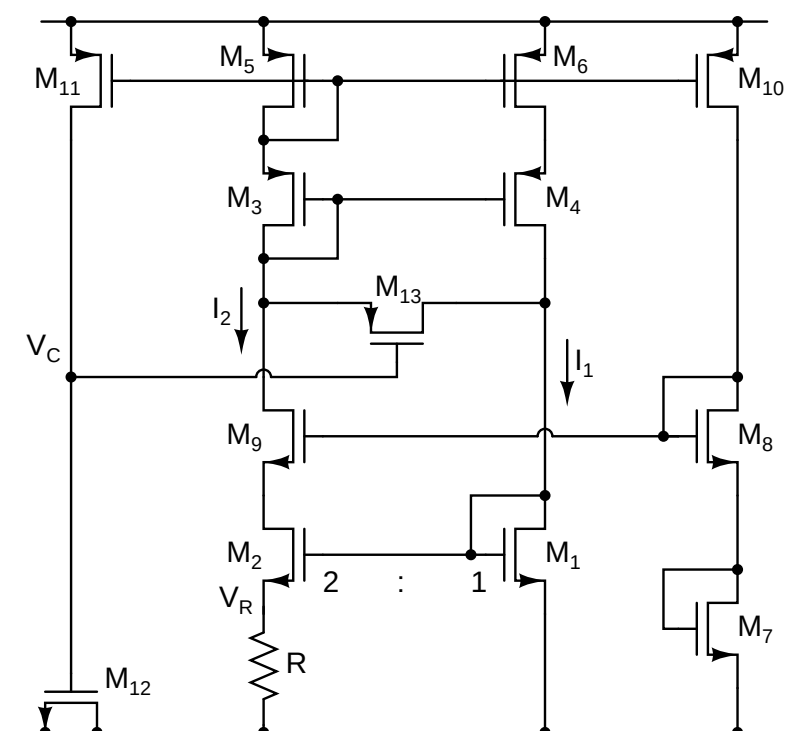


Figura 1.9: Layout del circuito per il monitoraggio dell'alimentazione (dimensioni: $140 \mu m \times 210 \mu m$).



	W [μm]	L [μm]	R [$k\Omega$]	Tipo
M_1, M_2, M_7	20	4	—	NMOS
M_3-M_6, M_{10}, M_{11}	4	10	—	PMOS
M_8, M_9	4	10	—	NMOS
M_{12}	10	10	—	NMOS
M_{13}	2	0.8	—	NMOS
R	5	1 330	355	RPOLYH

Figura 1.10: Schema circuitale del generatore di corrente di riferimento.

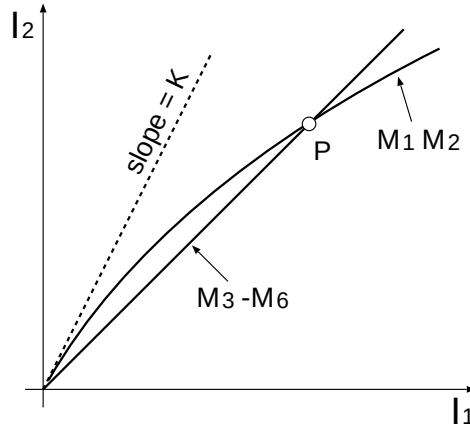


Figura 1.11: Punto di equilibrio del generatore di corrente di riferimento.

dove V_t è la tensione termica (25.6 milli-volt circa, a 25 gradi centigradi). Con una resistenza

$$R = 355 \text{ k}\Omega$$

si ottiene una corrente di riferimento di 50 nano-ampère. Questa corrente è sufficientemente piccola da mantenere i due transistor M_1 ed M_2 in regione di sotto soglia. La resistenza è stata realizzata con del polisilicio altamente resistivo.

La soluzione con specchio cascodato, rispetto al semplice specchio di corrente, riduce la sensibilità della corrente di riferimento alle variazioni della tensione di alimentazione. Il transistor M_9 ha lo scopo di aumentare la resistenza d'uscita di M_2 , riducendo così la sensibilità della corrente dalla tensione di drain. I transistor M_{11} – M_{13} , invece, costituiscono un circuito di *avvio* necessario per evitare che il circuito si stabilizzi nel punto di equilibrio posto nell'origine (correnti nulle). Il transistor M_{12} , connesso in modo da implementare una capacità, è inizialmente scarico e V_C è a zero. In queste condizioni M_{13} è acceso e fornisce, attraverso i transistor M_1 , M_3 ed M_5 , un passaggio verso massa per la corrente proveniente dall'alimentazione. A questo punto tutti i rimanenti transistor si accendono ed iniziano a condurre: il punto di lavoro del circuito si allontana sempre più dall'origine. Man mano che la corrente aumenta M_{11} carica M_{12} e V_C aumenta. All'equilibrio V_C sarà pari all'alimentazione ed M_{13} si spegne, mentre il circuito si sarà stabilizzato nel punto di equilibrio P .

1.5 Oscillatore

Il chip deve generare un segnale di clock di 5 kilo-hertz con una precisione del 30%. Data la bassa precisione richiesta e la frequenza non certo elevata si é optato per una soluzione in cui una capacità veniva caricata/scaricata a corrente costante [12].

In Fig. 1.12 viene presentato lo schema circuitale ed il dimensionamento dell'oscillatore utilizzato per generare il segnale di clock. Il cuore del circuito é la capacità C_{CK} che viene caricata/scaricata ad corrente costante, mentre la tensione V_{CK} ai suoi capi viene di volta in volta confrontata con la tensione di riferimento V_H oppure con V_L . Il buffer ed i due inverter in cascata al comparatore forniscono all'oscillatore il necessario *fan-out* ed i segnali di controllo per il pilotaggio degli interruttori S_1 – S_4 (*pass-transistor*).

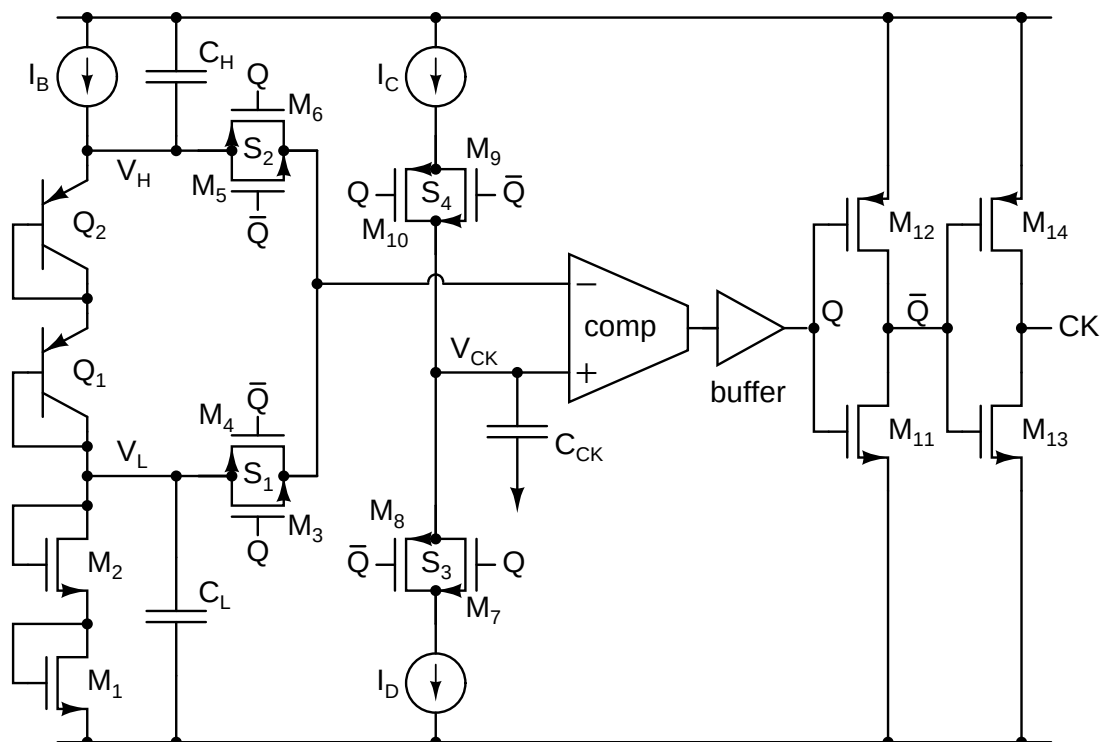
Inizialmente C_{CK} é scarico, V_{CK} é a zero e l'uscita Q del buffer é anch'essa a zero. In queste condizioni gli interruttori S_1 ed S_3 sono aperti mentre S_2 ed S_4 sono chiusi: l'ingresso invertente del comparatore risulta connesso a V_H mentre la capacità C_{CK} viene caricata a corrente costante I_C e la tensione V_{CK} ai suoi capi aumenta. Quando V_{CK} diviene maggiore di V_H il comparatore commuta, il segnale Q si porta ad '1' e commutano tutti gli interruttori. In questa situazione S_1 ed S_3 sono chiusi mentre S_2 ed S_4 sono aperti: l'ingresso invertente del comparatore é ora connesso a V_L mentre C_{CK} viene scaricata a corrente costante I_D e V_{CK} diminuisce. Quando V_{CK} diviene minore di V_L il comparatore commuta nuovamente ed il ciclo si ripete. La fase di carica/scarica avviene in un tempo pari a

$$T_{C/S} = \frac{C_{CK}}{I_{C/S}}(V_H - V_L).$$

Ponendo $I_C = I_D = I$ le fasi di carica e scarica diventano uguali ed il segnale di clock così generato avrà una frequenza pari ad

$$f = \frac{1}{T_C + T_D} = \frac{I}{2C_{CK}(V_H - V_L)}. \quad (1.3)$$

L'intervallo di tensione entro cui la capacità si carica/scarica viene generato tramite due transistor bipolari (pnp laterali) connessi a diodo e polarizzati a corrente costante I_B . Questa soluzione, seppur alquanto imprecisa, rientra comunque entro i limiti richiesti dalle specifiche e consente un notevole risparmio in termini di dissipazione



	W [μm]	L [μm]	C [pF]	Tipo
M_1, M_2	8	10	—	NMOS
M_3, M_5, M_7, M_9	2	0.8	—	NMOS
M_4, M_6, M_8, M_{10}	2	0.8	—	PMOS
M_{11}	2	8	—	NMOS
M_{12}	2	8	—	PMOS
M_{13}	2	0.8	—	NMOS
M_{14}	2	0.8	—	PMOS
Q_1, Q_2	—	—	—	LAT3
C_{CK}	80	70	4.8	CPOLY
C_H, C_L	100	100	8.6	CPOLY

Figura 1.12: Schema circuitale dell'oscillatore.

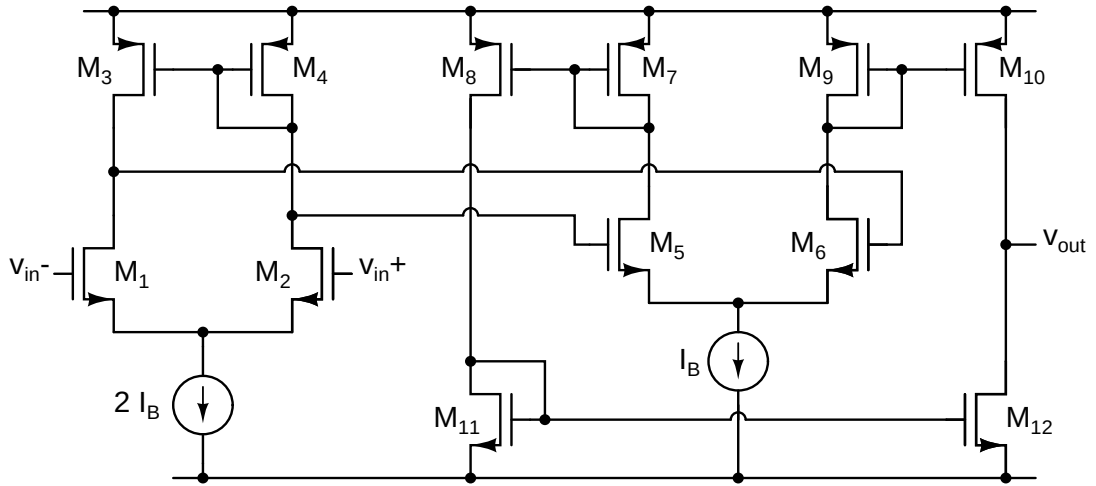
di potenza. Le capacità C_H e C_L (di 8.6 pico-farad) hanno lo scopo di eliminare le sovratensioni che si vengono a creare quando gli interruttori commutano. Con una corrente I_B di 22.5 nano-ampère si ottiene una finestra V_H-V_L di 1 volt. Utilizzando una corrente I di 48 nano-ampère ed una capacità C_{CK} di 4.8 pico-farad dalla (1.3) si ottengono i 5 kilo-hertz richiesti.

1.5.1 Comparatore

Dato che non é richiesta una particolare precisione nella frequenza del segnale di clock si é realizzato il comparatore senza particolari accorgimenti quali isteresi, etc. Si é utilizzata un'architettura a due stadi: un primo stadio costituito da una semplice coppia differenziale con carico attivo (specchio di corrente) ed un secondo stadio costituito da un OTA simmetrico. In Fig. 1.13 ne viene presentato lo schema circuitale ed il dimensionamento.

1.5.2 Buffer

In Fig. 1.14 é presentato lo schema circuitale ed il dimensionamento del buffer. La sua funzione é quella di aumentare lo slew-rate del comparatore, facendo così in modo che tutti gli switch siano pilotati correttamente. Il buffer é composto da due circuiti complementari: un circuito di *pull-up* ed uno di *pull-down*. Entrambi fanno uso di una polarizzazione attiva per pilotare il nodo d'uscita [13]. Si faccia riferimento al circuito di pull-up. Quando v_i é a zero M_1 é spento e nessuna corrente può essere erogata sull'uscita ($I_p = 0$). Quando invece v_i diventa alta tutta la corrente di polarizzazione I_B passa per M_1 . Questa corrente, moltiplicate per un fattore 2, si somma alla I_B stessa ed andrà ad aumentare la corrente che scorre su M_1 . Parallelamente la corrente I_p erogata sull'uscita aumenta molto rapidamente (viene moltiplicata per un fattore pari a 5) e farà aumentare la tensione d'uscita. Quando la tensione d'uscita v_{out} raggiunge v_i comincia a scorrere corrente anche attraverso M_2 , corrente che viene sottratta ad M_1 . Questa diminuzione viene drasticamente accentuata dalla conseguente riduzione del contributo dato dal transistor M_7 alla corrente di polarizzazione. In pratica il circuito é in grado di *tirar sù* (pull-up) la tensione d'uscita molto rapidamente, erogando, se necessario, correnti anche molto



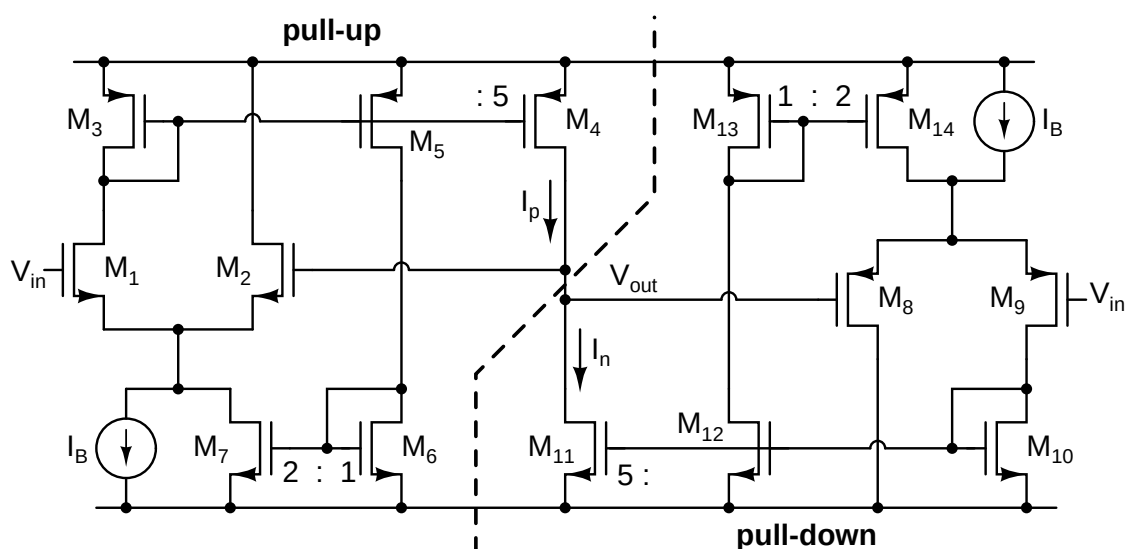
	W [μm]	L [μm]	Tipo
M_1, M_2	2	15	NMOS
M_3, M_4	2	5	PMOS
M_5, M_6	5	0.8	NMOS
M_7-M_{10}	2	15	PMOS
M_{11}, M_{12}	2	15	NMOS

Figura 1.13: Schema circuitale del comparatore.

elevate. Il circuito é in grado di operare con una bassissima corrente di polarizzazione I_B , per cui si é utilizzata una I_B di soli 5 nano-ampère. In maniera del tutto analoga il circuito di pull-down *tira giù* l'uscita.

1.5.3 Corrente di Carica/Scarica

Tra le funzionalità richieste vi era anche la possibilità di poter eventualmente variare la frequenza del clock agendo dall'esterno. Il modo più semplice per variare la frequenza del clock é quella di agire sulla corrente di carica/scarica. Si é quindi generato questa corrente utilizzando un circuito identico a quello già visto nel § 1.4, con la differenza che la resistenza é esterna al chip. In questo modo la frequenza del clock può essere variata semplicemente cambiando il valore di una resistenza.



	W [μm]	L [μm]	Tipo
M_1, M_2	3	0.8	NMOS
M_3-M_5	2	12	PMOS
M_6, M_7	2	8	NMOS
M_1, M_2	3	0.8	PMOS
M_3-M_5	2	12	NMOS
M_6, M_7	2	8	PMOS

Figura 1.14: Schema circuitale del buffer.

Questa soluzione é vantaggiosa anche dal punto di vista della precisione: infatti una resistenza a componenti discreti presenta una precisione molto maggiore rispetto ad una integrata su silicio. Facendo riferimento al circuito di Fig. 1.10 per ottenere una corrente di 24 nano-ampère (I_C ed I_D vengono ottenute moltiplicando la corrente di riferimento per un fattore 2) é sufficiente utilizzare una resistenza (in questo caso esterna) di 740 kilo-ohm.

In Fig. 1.15 é riportato il layout dell'oscillatore. L'occupazione d'area é di 0.054 mm^2 , di cui gran parte dovuta alle capacit .

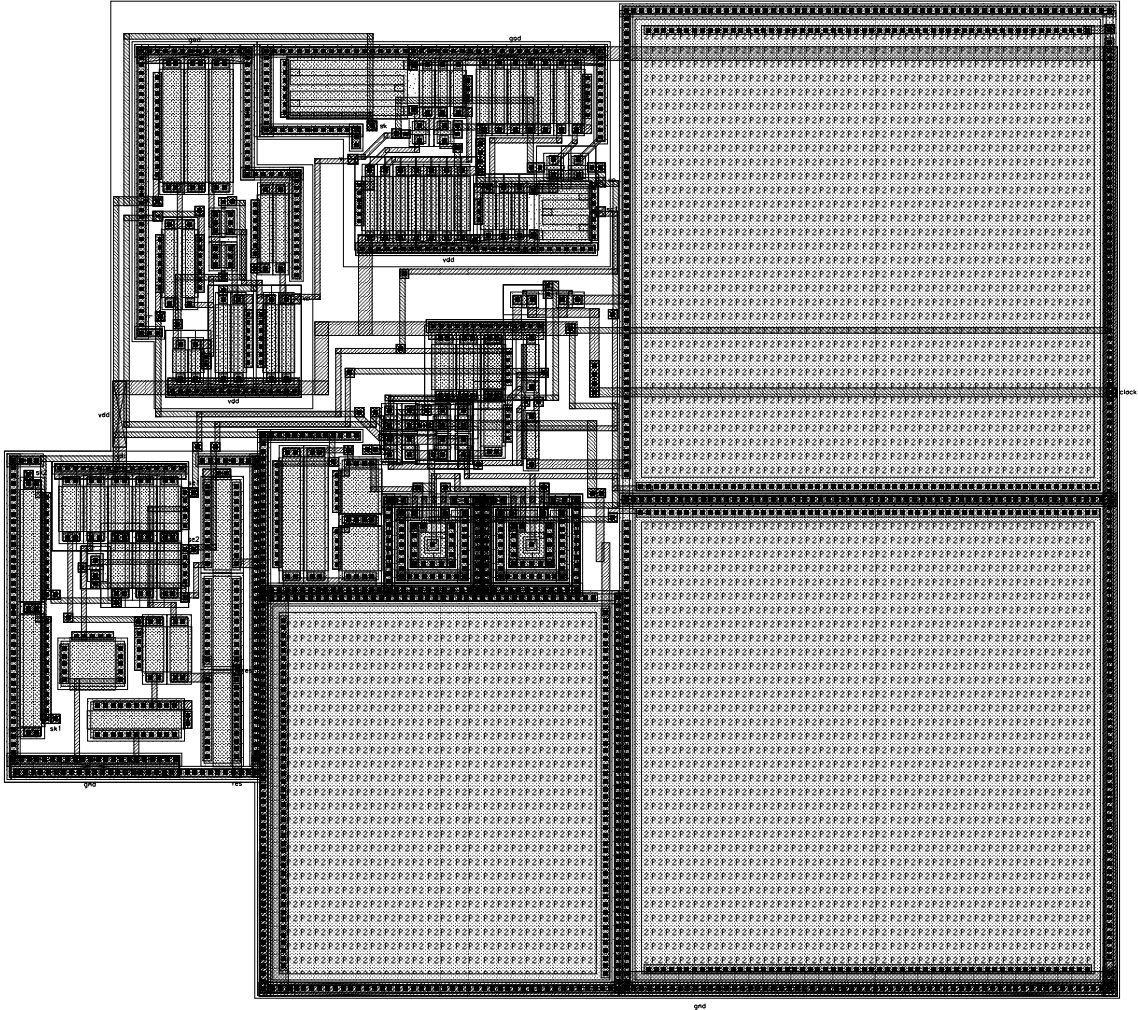


Figura 1.15: Layout dell'oscillatore (dimensioni: $245 \mu m \times 220 \mu m$).

1.6 Risultati Sperimentali

Il chip é stato realizzato in tecnologia CMOS AMS $0.8\mu m$ con due livelli di metallizzazione e due di polisilicio. In Fig. 1.16 viene presentata la foto del prototipo finale realizzato. Come si può vedere l'area del chip é determinata principalmente dal numero di terminali (il chip é *pad limited*) e non tanto dall'area effettiva dei circuiti. Infatti, trattandosi di un chip di prova, sono presenti molti più terminali della versione che sarà messa in produzione. I terminali aggiunti servono per rendere accessibili nodi interni e permettere così il test del chip. L'area totale é di $4.8 mm^2$ (terminali

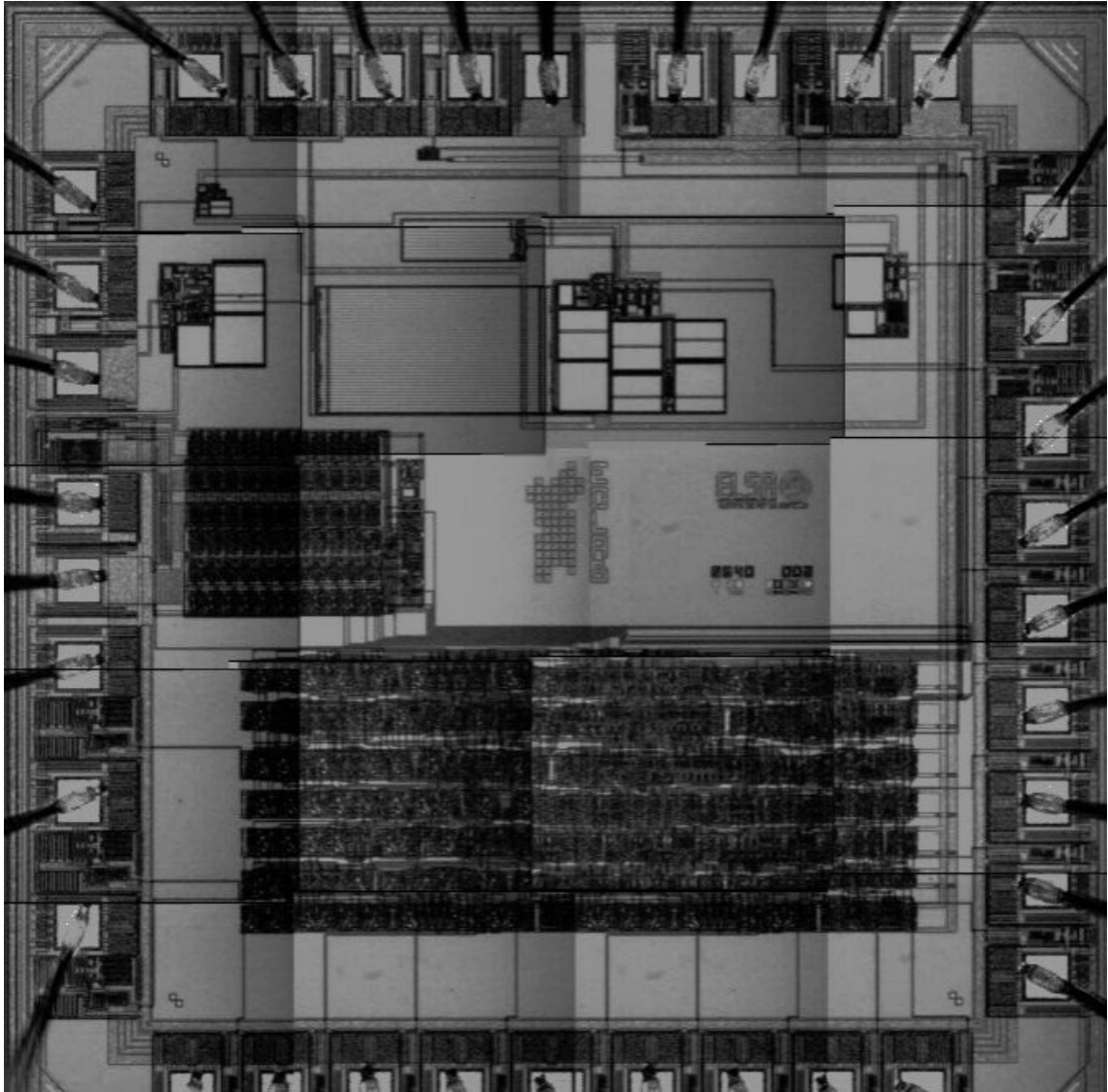


Figura 1.16: Foto del prototipo finale realizzato.

compresi) mentre la parte analogica occupa un'area di 0.53 mm^2 (terminali esclusi). Il prototipo finale é stato prodotto in 10 esemplari, e tutti sono stati testati. Le misure sono state effettuate per diversi valori della tensione di alimentazione, compresi fra 4 e 6 volt.

1.6.1 Amplificatore Operazionale

In Tab. 1.2 sono riportati i risultati delle misure effettuate sull'amplificatore operazionale. L'assorbimento di corrente si riferisce al caso a ciclo chiuso (effettive

Alimentazione	5 V
Assorbimento di corrente	$1.5 \mu\text{A}$
Tensione di modo comune	0.6 V
Ciclo aperto	
Guadagno	84 dB
Frequenza di taglio	186 kHz
Margine di fase	29°
Banda passante a -3 dB	17 Hz
Ciclo chiuso (guadagno = 146)	
Margine di fase	$\sim 90^\circ$
Frequenza di taglio	186 kHz
Banda passante a -3 dB	0.15 Hz – 1.8 kHz

Tabella 1.2: Caratteristiche dell'amplificatore operazionale.

condizioni di lavoro). Le misure sono state effettuate polarizzando l'amplificatore con una tensione di modo comune pari a 0.6 volt (valore tipico per il segnale generato dal sensore). Si noti come a ciclo aperto l'amplificatore abbia solo 29 gradi di margine di fase. Nella configurazione a ciclo chiuso si é posto

$$C_1 = 22 \mu\text{F}$$

$$R_1 = 47 \text{ k}\Omega$$

$$R_2 = 6.8 \text{ M}\Omega$$

(valori tipici usati dalla ditta), corrispondenti ad un guadagno pari a 146. Ora il margine di fase é di quasi 90 gradi, mentre la banda passante si estende da 0.15 hertz fino a quasi 2 kilo-hertz.

1.6.2 Trattamento del Segnale

Si é proceduto alla realizzazione di una scheda di test su cui montare il chip, il sensore IR e tutti i componenti esterni previsti per la versione finale (commerciale) dell'intero sistema anti intrusione. In questo modo si é testato la funzionalità del chip nelle effettive condizioni di lavoro, secondo quanto richiesto dalla ditta committente.

Le misure sono state effettuate utilizzando la configurazione di Fig. 1.1 con i seguenti componenti esterni

$$C_1 = 22 \mu\text{F}$$

$$R_1 = 47 \text{ k}\Omega$$

$$R_2 = 6.8 \text{ M}\Omega$$

$$C_2 = 100 \text{ nF}$$

e stimolando il sensore IR con una sorgente di calore in movimento. In pratica si é testato il circuito verificando sul campo che segnalasse correttamente la presenza di un intruso. Le misure sono state effettuate variando di volta in volta la distanza dal sensore e la velocità della sorgente di calore. In Fig. 1.17 vengono riportati i segnali ottenuti in risposta ad un segnale d'allarme proveniente dal sensore IR, nel caso di una tensione di alimentazione di 4 volt (limite minimo richiesto dalle specifiche).

L'intera parte relativa al trattamento del segnale proveniente dal sensore IR (amplificatore + comparatore a finestra) presenta un assorbimento di corrente massimo di 2.5 micro-ampère.

1.6.3 Monitoraggio dell'Alimentazione

In Fig. 1.18 viene riportata il segnale di pila scarica V_{SM} in uscita dal circuito che effettua il monitoraggio dell'alimentazione. Le misure sono state effettuate facendo variare la tensione di alimentazione da zero a 6 volt e viceversa. É chiaramente

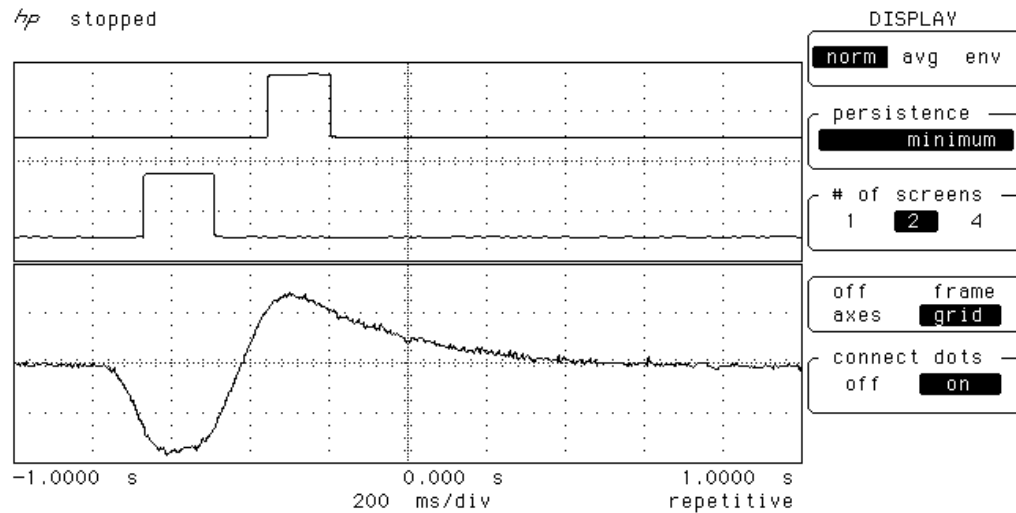


Figura 1.17: Segnali d'uscita dell'amplificatore (schermo inferiore, 50 mV/div) e del comparatore a finestra (schermo superiore, 4 V/div), relativi a 4 volt di tensione di alimentazione.

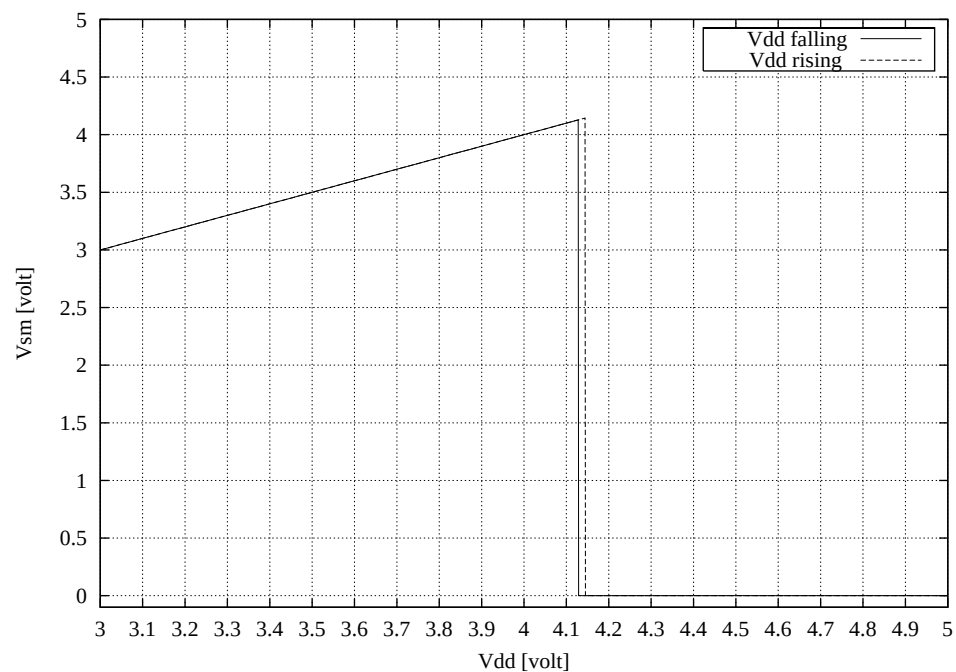


Figura 1.18: Segnale di pila scarica.

visibile un'isteresi di circa 15 milli-volt, propria del comparatore. In condizioni di pila carica V_{SM} é a zero e commuta al valore della tensione di alimentazione quando quest'ultima scende sotto una certa soglia (nel caso riportato in figura, 4.13 volt). Sui 10 esemplari testati il valore della soglia a cui il circuito commuta, segnalando così lo stato di pila scarica, presenta una variazione di ± 0.2 volt rispetto al valore richiesto di 4.25 volt. la variazione é inferiore ai ± 0.25 volt imposti dalle specifiche.

L'intero circuito per il monitoraggio dell'alimentazione presenta un assorbimento di corrente massimo di 0.7 micro-ampère.

1.6.4 Oscillatore

Le misure sono state effettuate utilizzando una resistenza esterna di 740 kilo-ohm. Si noti che per poter effettuare le misure si é reso necessario rendere accessibile, connettendola ad un terminale del chip, l'uscita dell'oscillatore. Questo ha causato un'aumento del carico visto sull'uscita (vanno considerati la capacità e la resistenza introdotti dal terminale stesso e dalla sonda utilizzata per le misure) e di conseguenza si é testato l'oscillatore in condizioni peggiori di quelle cui si troverá ad operare nella versione commerciale. In Fig. 1.19 vviene riportato il segnale di clock generato dall'oscillatore. La figura si riferisce al caso di una tensione di alimentazione di 5 volt. La frequenza del clock é di 4.6 kilo-hertz mentre il duty-cycle é del 58%. Sui 10 esemplari testati ed al variare della tensione di alimentazione la frequenza del clock presenta una variazione del 20% rispetto alla frequenza richiesta di 5 kilo-hertz. Questo valore é ben al di sotto del 30% imposto dalle specifiche. Per quanto riguarda invece il duty-cycle, si mantiene pressochè costante attorno al 55–60%.

L'oscillatore presenta un assorbimento di corrente massimo di 0.8 micro-ampère.

Un'apposita scheda di test é stata realizzata per testare la funzionalità complessiva del chip (parte analogica e parte digitale). In particolare si é verificato sul campo che il corretto funzionamento del dispositivo non venisse compromesso dal rumore e dalle interferenze esterne presenti nell'ambiente dove il sistema anti intrusione finale andrà ad operare.

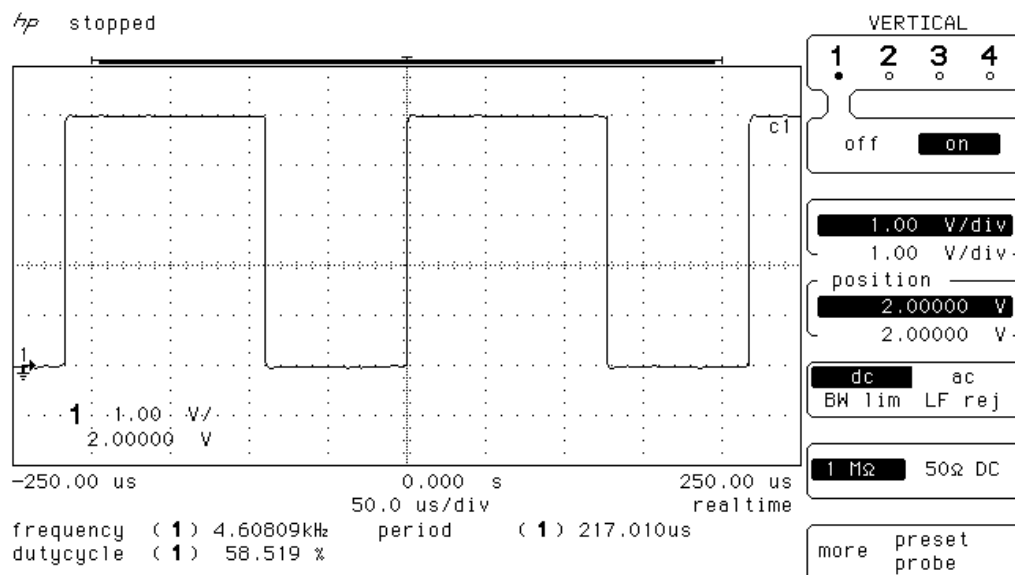


Figura 1.19: Segnale di clock generato dall'oscillatore (5 volt di alimentazione).

L'intera parte analogica qui esposta presenta un assorbimento di corrente massimo di 4 micro-ampère, mentre l'intero chip assorbe, nel caso peggiore e nelle effettive condizioni di lavoro, 10 micro-ampère (a fronte dei 15 previsti come limite massimo dalle specifiche).

1.7 Conclusioni

É stata presentata l'implementazione della parte analogica di un ASIC misto analogico/digitale appositamente progettato per essere utilizzato in sistemi anti intrusione alimentati a batteria. Diverse soluzioni sono state adottate per limitare il consumo di potenza, che costituisce la maggior limitazione cui il dispositivo doveva sottostare. In particolare le prestazioni del dispositivo, in termini di stabilità, precisione ed adattabilità, sono state limitate al minimo strettamente necessario per soddisfare le specifiche. Tutte le soluzioni adottate, sebbene orientate ad un'applicazione specifica, possono essere utilizzate in molti altri circuiti alimentati a batteria.

L'ASIC é stato integrato in tecnologia CMOS standard AMS 0.8 μm e la parte

analogica qui presentata occupa un'area di 0.53 mm^2 ed assorbe 4 micro-ampère (l'intero chip occupa un'area di 4.8 mm^2 ed assorbe 10 micro-ampère). Tutti i componenti sono stati testati e risultato perfettamente funzionanti e conformi alle specifiche.

Il chip, sviluppato per conto di una ditta produttrice di sistemi anti intrusione e finanziato dalla comunità europea, é attualmente in produzione e viene commercializzato su una vasta gamma di prodotti (sistemi anti intrusione ma non solo).

Bibliografia

- [1] S. Bolliri, P. Porcu, and L. Raffo. A micro-power mixed signal ic for battery-operated burglar alarm systems. In *Proceedings of the 2000 International Symposium on Low Power Electronics and Design*, pages 73–77, July 2000.
- [2] E. A. Vittoz. Analog vlsi signal processing: Why, where and how? In *Analog Integrated Circuits and Signal Processing*, pages 27–44, July 1994.
- [3] J. Kih, B. Chang, D.-K. Jeong, and W. Kim. Class-ab large-swing cmos buffer amplifier with controlled bias current. *IEEE J. Solid-State Circuits*, 28:1350–1353, December 1993.
- [4] R. van Dongen and V. Rikkink. A 1.5 v class ab cmos buffer amplifier for driving low-resistance loads. *IEEE J. Solid-State Circuits*, 30:1333–1338, December 1995.
- [5] F. You, S. H. K. Embabi, and E. Sánchez-Sinencio. Low-voltage class ab buffers with quiescent current control. *IEEE J. Solid-State Circuits*, 33:915–920, June 1998.
- [6] B. Sekerkiran. A compact rail-to-rail output stage for cmos operational amplifiers. *IEEE J. Solid-State Circuits*, 34:107–110, January 1999.
- [7] P.-C. Yu and J.-C. Wu. A class-b output buffer for flat-panel-display column driver. *IEEE J. Solid-State Circuits*, 34:116–119, January 1999.
- [8] U. Gatti and G. Torelli. Fully cmos integrated micropower battery monitor. *Microelectronics Journal*, 26(1):17–21, 1995.

- [9] K.-M. Tham and K. Nagaraj. A low supply voltage high psrr voltage reference in cmos process. *IEEE J. Solid-State Circuit*, 30:586–590, May 1995.
- [10] E.A. Vittoz. *Design of VLSI Circuits for Telecommunication and Signal Processing*, chapter Micropower Techniques. Prentice Hall, 1994.
- [11] E. A. Vittoz and J. Fellrath. Cmos analog integrated circuits based on weak inversion operation. *IEEE J. Solid-State Circuit*, SC-12:224–231, March 1977.
- [12] C. Hwang, S. Bibyk, M. Ismail, and B. Lohiser. A very low frequency, micropower, low voltage cmos oscillator for noncardiac pacemakers. *IEEE Transactions on Circuits and Systems - I: Fundamental Theory and Applications*, 42:962–966, November 1995.
- [13] M. G. Degrauwe, J. Rijmenants, E. A. Vittoz, and H. J. De Man. Adaptive biasing cmos amplifiers. *IEEE J. Solid-State Circuits*, SC-17:522–528, June 1982.

Capitolo 2

Realizzazione di un Duplicatore di Tensione

In questo capitolo viene presentata la realizzazione di una cella analogica di libreria che implementa un duplicatore di tensione (*voltage doubler*). La sua funzione é quella di generare una tensione continua maggiore della tensione di alimentazione. La cella fa parte di un progetto sviluppato in collaborazione con il GEDEC (GEEnoa DEsign Center) per conto dell'ATMEL ed avente come obiettivo la realizzazione di un alimentatore integrato che effettui il *power management* (gestione dell'alimentazione) per telefoni cellulari.

La tensione generata deve essere stabile al variare della corrente erogata, la quale può variare di svariati ordini di grandezza anche molto rapidamente. Dovendo operare su sistemi alimentati a batteria la cella deve presentare un'elevata efficienza sia in termini di potenza che di tensione d'uscita, ed un bassissimo consumo in condizioni di stand-by.

2.1 Stato dell'Arte

Lo sviluppo della tecnologia microelettronica ed in particolare l'esigenza di ridurre il consumo di potenza ha portato alla realizzazione di circuiti integrati sempre più piccoli ed alimentati a tensioni sempre minori (un tipico esempio é dato dai sistemi

portatili alimentati a batteria). La riduzione della tensione di alimentazione, però, ha creato problemi per quei circuiti, tipicamente analogici, che richiedono invece tensioni di alimentazione maggiori. In questi casi viene comunemente fatto ricorso ad un circuito chiamato “*charge pump*”.

2.1.1 Charge Pump

Il charge pump é un convertitore dc-dc comunemente usato nelle memorie non volatili [1], nelle memorie dinamiche ad accesso casuale (DRAM) [2], nei circuiti per basse tensioni di alimentazione [3], nei filtri a tempo continuo [4] ed in generale ogniqualvolta si deve generare una tensione continua maggiore della tensione di alimentazione. La conversione di tensione avviene per mezzo di capacità che, fatte commutare molto rapidamente, sono in grado di trasferire energia sull’uscita a tensione maggiore di quella fornita dell’alimentazione.

In Fig. 2.1 viene riportato lo schema circuitale di un charge pump [5]. Il circui-

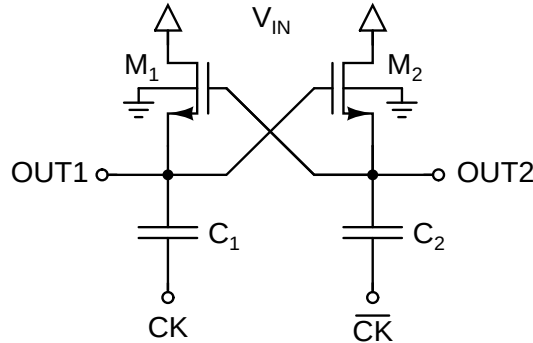


Figura 2.1: Charge pump.

to, il cui ingresso é costituito dalla tensione di alimentazione V_{IN} , consiste in due transistor NMOS incrociati connessi a due capacità C_1 e C_2 , a loro volta connesse ad un segnale di clock. Ad ogni commutazione le capacità ricevono energia dall’alimentazione e la restituiscono sull’uscita. Il valore delle tensioni d’uscita può essere espresse come

$$\begin{aligned} OUT1 &= CK + V_{C1} \\ OUT2 &= \overline{CK} + V_{C2} \end{aligned}$$

(V_{C1} e V_{C2} sono le tensioni ai capi di C_1 e C_2). Inizialmente le capacità sono scariche e le tensioni d'uscita $OUT1$ e $OUT2$, seguendo l'andamento rispettivamente di CK e $\overline{CK}$, commutano tra 0 e V_{IN} . Quando $OUT1 = V_{IN}$ si accende il transistor M_2 e si carica C_2 , mentre quando $OUT2 = V_{IN}$ si accende il transistor M_1 e si carica C_1 . Commutazione dopo commutazione le capacità si caricano, e continuano a caricarsi fino a raggiungere un valore pari alla tensione di alimentazione V_{IN} . A questo punto le uscite $OUT1$ e $OUT2$ commutano, alternativamente, tra V_{IN} e $2V_{IN}$.

2.1.2 Duplicatore di Tensione

L'uso di transistor NMOS rende il circuito molto efficiente non solo per la maggior mobilità dei portatori ma soprattutto perchè permette di mantenere le giunzioni polarizzate inversamente (il substrato risulta connesso con il potenziale più basso). Con questo circuito, però, per ottenere una tensione continua per l'intero periodo di clock sono necessari due interruttori in serie che alternativamente connettano le capacità su un'unica uscita (in Fig. 2.2 viene riportato lo schema circuitale completo). Sfortunatamente, questo può essere ottenuto solo tramite l'uso di due PMOS,

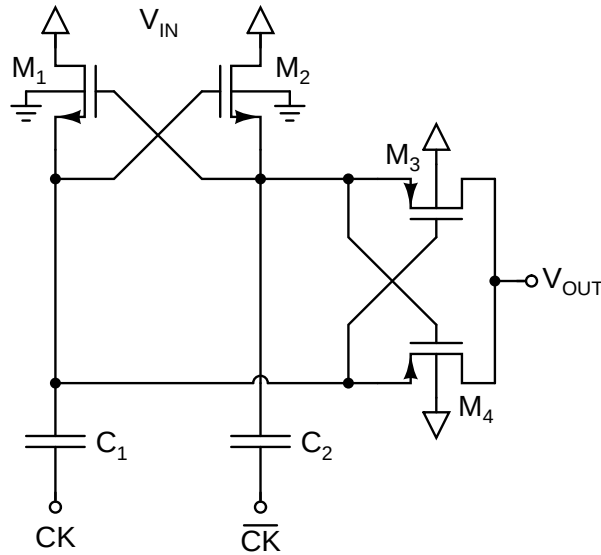


Figura 2.2: Duplicatore di tensione.

in quanto degli NMOS porterebbero a delle cadute di tensione dovute alle tensioni

di soglia. Con i PMOS, però, vi è il problema che la sacca in cui si trovano viene normalmente connessa all'alimentazione, che in questo caso non costituisce la tensione più alta del circuito. Questo significa che non viene garantita la polarizzazione inversa delle giunzioni dei componenti parassiti (due transistor bipolari verticali ed uno laterale) mostrati in Fig. 2.3. Se la sacca del PMOS (terminale B) non si trova

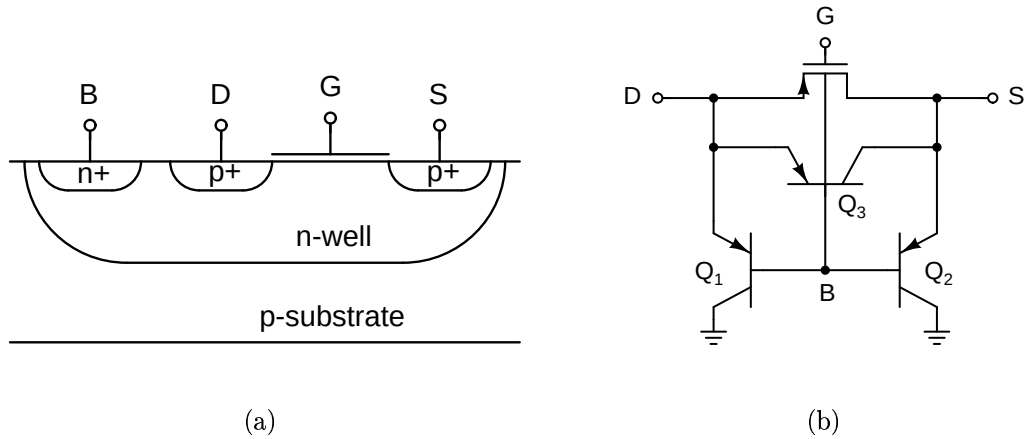


Figura 2.3: PMOS: (a) sezione e (b) componenti parassiti.

ad un potenziale maggiore del drain e del source (o almeno non inferiore di una quantità pari alla tensione di soglia dei transistor parassiti) i transistor bipolari potrebbero entrare in conduzione, innescando il fenomeno del cosiddetto “*latch-up*” [6]. Una possibile soluzione consiste nell’implementare il “*bulk switching*”, ovvero connettere la sacca al nodo che in quel momento si trova a potenziale maggiore (in questo caso il nodo $OUT1$ oppure il nodo $OUT2$). In Fig. 2.4 viene presentato un circuito che implementa questa soluzione [7]. I PMOS M_5 ed M_6 fanno in modo che V_H sia sempre connesso al nodo che, tra $OUT1$ e $OUT2$, si trova a potenziale maggiore. Le sacche n (n -well) dei PMOS M_3 ed M_4 (ma anche di M_5 ed M_6) sono poi connesse a V_H , garantendo così la polarizzazione inversa delle giunzioni e la minimizzazione degli elementi parassiti [8].

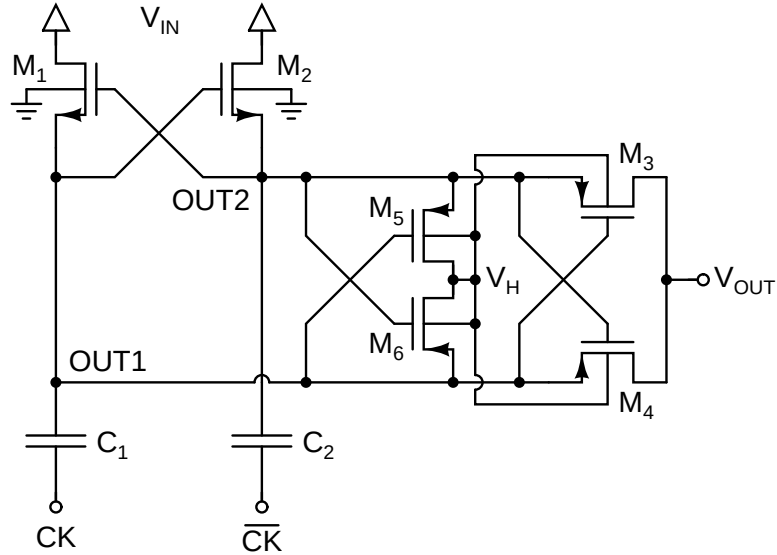


Figura 2.4: Duplicatore di tensione con bulk switching.

2.2 Specifiche di Progetto

In Tab. 2.1 sono riportate le specifiche di progetto del duplicatore di tensione che ci si propone di realizzare.

Il circuito é alimentato da una tensione continua V_{IN} che può variare tra 2.75 e 2.85 volt e deve generare una tensione d'uscita, in condizioni di carico massimo ($I_{OUT} = 30$ milli-ampère) non inferiore a 5 volt. L'uscita, oltre che un regolatore di tensione interno al chip, alimenta anche un carico esterno é deve perciò essere connessa su un terminale. L'efficienza del circuito in termini di potenza, con carico massimo, deve essere almeno del 75%. La frequenza del clock può variare fra 400 e 600 kilo-hertz ma in presenza di un opportuno segnale di controllo il circuito deve commutare in uno stato di basso consumo nel quale viene selezionato un clock alternativo di frequenza inferiore (tra i 32 ed i 34 kilo-hertz).

É chiaro che una corrente d'uscita di 30 milli-ampère può provenire solo da capacità di valore molto elevato, tanto elevato da non poter essere integrate sul chip. Le capacità, quindi, devono essere esterne. In questo progetto é possibile utilizzare capacità (esterne) di valore massimo pari ad 1 micro-farad ed aventi una resistenza serie, a 500 kilo-hertz, di 40 milli-ohm.

	DESCRIZIONE	CONDIZIONI	MIN	TYP	MAX	UN
V_{IN}	Alimentazione		2.75	2.8	2.85	V
V_{OUT}	Tensione d'uscita	$I_{OUT} = 30 \text{ mA}$	5			V
I_{OUT}	Corrente d'uscita				30	mA
η	Efficienza	$I_{OUT} = 30 \text{ mA}$	75			%
f_{FP}	Freq. clock		400	500	600	kHz
f_{LP}	Freq. clock	Basso consumo	32	33	34	kHz
V_{BG}	Tensione di rif.			1.2		V
C_1, C_2	Capacità esterne				1	μF
ESR	Res. serie C_1, C_2	@ 500 kHz			40	m Ω

Tabella 2.1: Specifiche di progetto.

L'utilizzo di capacità esterne implica la necessità (vedi Fig. 2.2) di 5 connessioni esterne (terminali): due per ciascuna capacità più una per l'uscita (V_{OUT}). Per questo progetto, però, 5 terminali risultano eccessivi ed é necessario ricorrere a soluzioni alternative che ne riducano il numero. É inoltre richiesta l'implementazione di una modalità di funzionamento in cui il circuito riduce *dinamicamente* il proprio consumo in funzione del carico. Questa modalità deve poter essere attivata/disattivata da un apposito segnale di controllo e può avvalersi di una tensione di riferimento V_{BG} di 1.2 volt.

Il circuito verrà integrato presso ATMEL in tecnologia CMOS 0.35 μm con quattro livelli di metallizzazione. Questa tecnologia prevede un apposito *layer* (strato) di ossido spesso in grado di sopportare tensioni superiori ai 3 volt per cui é stata creata. Tutti i transistor che devono lavorare con tensioni superiori vanno realizzati con questo layer.

L'intero circuito deve inoltre poter essere acceso/spento attraverso un segnale di controllo esterno.

2.3 Charge Pump

Come si é visto nel paragrafo sulle specifiche di progetto é necessario ridurre il numero di terminali utilizzati dal duplicatore di tensione. In Fig. 2.5 viene presentata la soluzione adottata, che necessita di soli tre terminali (due per C_1 ed uno per l'uscita). Rispetto al circuito di Fig. 2.2 sono stati eliminati i transistor M_2 ed M_4

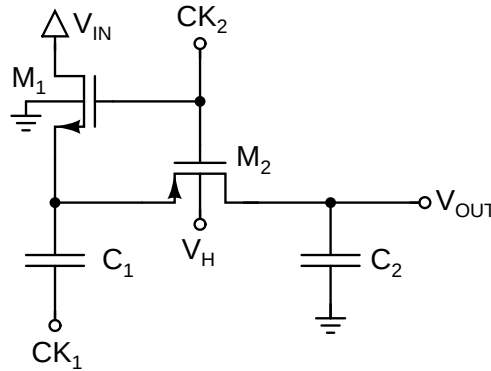


Figura 2.5: Schema base del charge pump utilizzato.

e la capacità C_2 é stata spostata sull'uscita. In transistor M_1 agisce caricando la capacità C_1 mentre M_2 agisce da interruttore. I due clock sono in controfase ma mentre CK_1 commuta tra 0 e V_{IN} CK_2 commuta tra 0 e V_H , dove V_H é il potenziale più alto presente nel circuito. Con CK_1 a zero (CK_2 a V_H) C_1 viene caricata a V_{IN} mentre C_2 provvede ad alimentare il carico. Con CK_1 a V_{IN} (CK_2 a zero) C_1 viene connessa sull'uscita ed alimenta sia il carico che C_2 . A regime la capacità C_2 sarà carica a $2V_{IN}$.

2.3.1 Analisi Circuitale

Finora si é considerato il clock ideale. In realtà CK_1 viene generato da un buffer i cui transistor d'uscita, dovendo pilotare una corrente elevata, presenteranno una certa caduta di potenziale. Questo fenomeno, denominato *clock buffering*, riduce l'escursione di CK_1 all'intervallo compreso fra d_1 e $V_{IN} - d_2$ anzichè fra 0 e V_{IN} . Nella trattazione che segue si é tenuto conto sia degli effetti del clock buffering che

delle capacità parassite legate all'uso di capacità esterne che delle resistenze non nulle presentate dai transistor in conduzione [9].

In Fig. 2.6 vengono riportati i circuiti equivalenti relativi alla fase in cui C_1 è in carica ed a quella in cui è connessa sull'uscita. Le capacità C_{1a} e C_{1b} , componenti

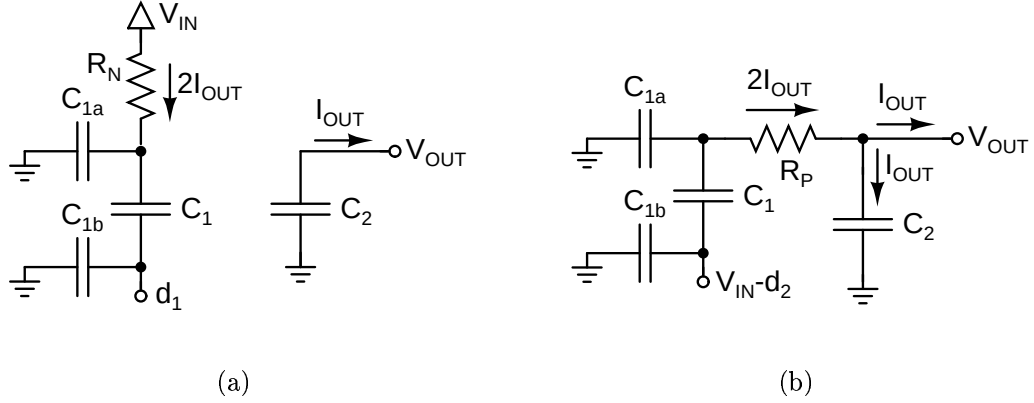


Figura 2.6: Circuito equivalente: (a) con C_1 in carica e (b) con C_1 connessa sull'uscita.

parassite di C_1 , possono essere espresse come

$$C_{1a}, C_{1b} \simeq \alpha C_1,$$

dove $\alpha \simeq 0.2\%$ per capacità esterne. La capacità parassita sul nodo d'uscita non figura in quanto inglobata in C_2 (risulta in parallelo). Le resistenze R_N ed R_P tengono conto delle cadute di potenziale sui transistor M_1 ed M_2 quando in conduzione (resistenze serie dei transistor).

Quando $CK_1 = d_1$ ($CK_2 = V_H$) il transistor M_1 è acceso, M_2 è spento e C_1 è in carica (vedi Fig. 2.6a). La corrente d'uscita I_{OUT} viene fornita da C_2 , la cui carica diminuisce. Quando $CK_1 = V_{IN} - d_2$ ($CK_2 = 0$) il transistor M_1 è spento, M_2 è acceso e C_1 è connessa sull'uscita (vedi Fig. 2.6b). La corrente d'uscita I_{OUT} viene ora fornita da C_1 , che deve anche provvedere a caricare C_2 . Nell'ipotesi di clock simmetrico (duty-cycle del 50%) la corrente necessaria per reintegrare la carica di C_2 ha un valore medio pari ad I_{OUT} . Analogamente, il valore medio della corrente necessaria per caricare C_1 è pari a $2I_{OUT}$.

Nel seguito verranno indicati con l'apice A i termini riferiti al semiperiodo in cui C_1 é in carica (*caso A*) e con l'apice B i termini riferiti al semiperiodo in cui C_1 é connessa sull'uscita (*caso B*).

Caso A Dal circuito equivalente di Fig. 2.6a si ricava

$$V_{IN} - d_1 = V_{C_1}^A + R_N 2I_{OUT} \quad (2.1)$$

dove

$$V_{C_1}^A = V_{C_1}^A(0) + \frac{2I_{OUT} \frac{T}{2}}{C_1 + C_{1a}} = V_{C_1}^A(0) + R_S I_{OUT} \quad (2.2)$$

é la tensione ai capi di C_1 al tempo $t = \frac{T}{2}$ ed in cui

$$R_S = \frac{1}{f(C_1 + C_{1a})}$$

é la resistenza serie intrinseca del charge pump.

Caso B Dal circuito equivalente di Fig. 2.6b si ricava invece

$$V_{OUT} = V_{IN} - d_2 + V_{C_1}^B - R_P 2I_{OUT}, \quad (2.3)$$

dove $V_{C_1}^B$ é la tensione ai capi di C_1 al tempo $t = T$.

Tensione d'Uscita

Uguagliando la carica su C_1 e C_{1a} al tempo $t=0$ si ottiene

$$\underbrace{C_1 V_{C_1}^B + C_{1a} (V_{C_1}^B + V_{IN} - d_2)}_{t=0^-} = \underbrace{C_1 V_{C_1}^A(0) + C_{1a} [V_{C_1}^A(0) + d_1]}_{t=0^+}$$

da cui

$$V_{C_1}^A(0) = V_{C_1}^B + \frac{C_{1a}}{C_1 + C_{1a}} (V_{IN} - d_1 - d_2). \quad (2.4)$$

Sostituendo la (2.4) nella (2.2) si ottiene

$$V_{C_1}^A = V_{C_1}^B + \frac{C_{1a}}{C_1 + C_{1a}} (V_{IN} - d_1 - d_2) + R_S I_{OUT}, \quad (2.5)$$

che messa a sistema con la (2.1) porta a

$$V_{C_1}^B = V_{IN} - d_1 - \frac{C_{1a}}{C_1 + C_{1a}} (V_{IN} - d_1 - d_2) - (R_S + 2R_N) I_{OUT}. \quad (2.6)$$

Sostituendo poi la (2.6) nella (2.3) si ottiene l'espressione della tensione d'uscita

$$V_{OUT} = \left(1 + \frac{C_1}{C_1 + C_{1a}}\right) V_{IN} - \frac{C_1}{C_1 + C_{1a}} (d_1 + d_2) - (R_S + 2R_N + 2R_P) I_{OUT},$$

che può anche essere espressa come

$$\boxed{V_{OUT} = V_X - R_X I_{OUT}}$$

In questa forma il duplicatore di tensione é assimilabile (vedi Fig. 2.7) ad un circuito equivalente serie, costituito da un generatore di tensione

$$\begin{aligned} V_X &= \left(1 + \frac{C_1}{C_1 + C_{1a}}\right) V_{IN} - \frac{C_1}{C_1 + C_{1a}} (d_1 + d_2) \\ &| \\ &= \frac{2 + \alpha}{1 + \alpha} V_{IN} - \frac{1}{1 + \alpha} (d_1 + d_2) \end{aligned}$$

e da una resistenza equivalente

$$R_X = R_S + 2R_N + 2R_P.$$

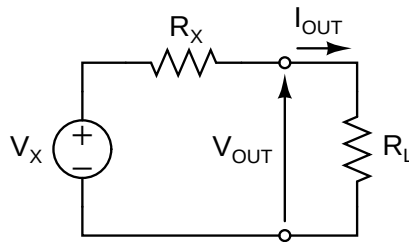


Figura 2.7: Circuito equivalente serie.

Efficienza

L'efficienza del circuito in termini di potenza (*power efficiency*) é data dal rapporto tra energia erogata sul carico e energia ricevuta dall'alimentazione, cioè

$$\eta = \frac{E_{OUT}}{E_{OUT} + E_{R_X} + E_{C_{1a}} + E_{C_{1b}}},$$

dove

$$E_{OUT} = \frac{V_{OUT}^2}{f R_L}$$

é l'energia erogata al carico,

$$E_{R_X} = \frac{R_X I_{OUT}^2}{f} = \frac{R_X V_{OUT}^2}{f R_L^2}$$

é l'energia dissipata dalla resistenza equivalente serie R_X ,

$$E_{C_{1a}} = C_{1a} \Delta V_{C_{1a}}^2 = C_{1a} \left[\underbrace{V_{IN} - d_2 + V_{C_1}^B}_{V_{C_{1a}}^B} - \underbrace{(d_1 + V_{C_1}^A)}_{V_{C_{1a}}^A} \right]^2$$

é l'energia dissipata dalla capacità parassita C_{1a} , che può essere espressa (sostituendo la (2.5) e raccogliendo R_S) come

$$E_{C_{1a}} = C_{1a} \left[\frac{C_1}{C_1 + C_{1a}} (V_{IN} - d_1 - d_2) - R_S I_{OUT} \right]^2,$$

mentre

$$E_{C_{1b}} = C_{1b} \Delta V_{C_{1b}}^2 = C_{1b} (V_{IN} - d_1 - d_2)^2$$

é l'energia dissipata dalla capacità parassita C_{1b} . Sostituendo i vari contributi si ottiene

$$\eta = \frac{\frac{V_{OUT}^2}{f R_L}}{\frac{V_{OUT}^2}{f R_L} + \frac{R_X V_{OUT}^2}{f R_L^2} + C_{1a} \left[\frac{C_1}{C_1 + C_{1a}} (V_{IN} - d_1 - d_2) - R_S I_{OUT} \right]^2 + C_{1b} (V_{IN} - d_1 - d_2)^2}$$

Ripple

A regime la tensione d'uscita V_{OUT} non é costante ma é soggetta a delle fluttuazioni (*ripple*) dovute alla quantità di carica che viene assorbita o ceduta dalla capacità C_2 . L'entità di queste fluttuazioni é pari a

$$\Delta V_{OUT} = \frac{I_{OUT} \frac{T}{2}}{C_2} = \frac{I_{OUT}}{2 f C_2}.$$

2.3.2 Criteri per il Dimensionamento

L'efficienza del circuito in termini di tensione d'uscita (*output efficiency*) può essere espressa dal rapporto

$$\eta_V = \frac{V_{OUT}}{2 V_{IN}}.$$

Esprimendo V_{OUT} come

$$V_{OUT} = \frac{R_L}{R_X + R_L} V_X$$

ed esplicitando V_X trascurando gli effetti del clock buffering (si suppone d_1 e d_2 trascurabili) si ottiene

$$\eta_V \simeq \frac{1}{1+x} \frac{2+\alpha}{2(1+\alpha)} \quad \left[x = \frac{R_X}{R_L} \right]$$

Espressa in questa forma l'efficienza sulla tensione d'uscita dipende solamente dalle capacità parassite (tramite α) e dal rapporto $\frac{R_X}{R_L}$. Trascurando le cadute di tensione sui transistor in conduzione (in pratica R_N ed R_P) si ha

$$\frac{R_X}{R_L} \simeq \frac{R_S}{R_L} = \frac{R_S}{\frac{V_X}{I_{OUT}} - R_S} = \frac{1}{(2+\alpha) f C_1 \frac{V_{IN}}{I_{OUT}} - 1}, \quad (2.7)$$

e quindi

$$\eta_V = \left[1 - \frac{I_{OUT}}{(2+\alpha) f C_1 V_{IN}} \right] \frac{2+\alpha}{2(1+\alpha)}.$$

Con quest'ultima espressione é possibile studiare la dipendenza da altri parametri di progetto quali la capacità C_1 o la frequenza.

Anche per quanto riguarda la power efficiency é possibile ottenere un'espressione semplificata, e precisamente

$$\eta \simeq \frac{\frac{(2+\alpha)^2}{1+\alpha} \frac{x}{(1+x)^2}}{\frac{(2+\alpha)^2}{1+\alpha} \frac{x}{(1+x)^2} + \frac{(2+\alpha)^2}{1+\alpha} \left(\frac{x}{1+x} \right)^2 + \alpha \left(\frac{1}{1+\alpha} - \frac{2+\alpha}{1+\alpha} \frac{x}{1+x} \right)^2 + \alpha} \quad \left[x = \frac{R_X}{R_L} \right]$$

espressione che dipende solo da α e dal rapporto $\frac{R_X}{R_L}$. Sostituendo la (2.7) é possibile studiare la dipendenza dagli altri parametri di progetto quali la capacità C_1 e la frequenza.

Graficando l'andamento dell'efficienza (sia in termini di potenza che di tensione d'uscita) in funzione del rapporto $\frac{R_X}{R_L}$ e della capacità C_1 si ottengono le curve di

Fig. 2.8, utili per il dimensionamento del circuito. La curva in funzione di C_1 è stata ottenuta imponendo le condizioni peggiori per l'efficienza, cioè tensione di alimentazione e frequenza di clock minimi e corrente di carico massima. Grazie alla prima coppia di curve è possibile scegliere il valore di $R_X = R_S$ (sono state trascurate R_N ed R_P) che, per una data R_{OUT} , garantisce l'efficienza desiderata. A questo punto è possibile scegliere i valori della frequenza di clock e di C_1 corrispondenti a quel dato valore di R_S . Se invece l'unico grado di libertà è dato dalla scelta di C_1 (come in questo caso) dal secondo grafico è possibile scegliere direttamente il valore corrispondente all'efficienza desiderata.

La scelta della capacità C_2 viene invece fatta in base al valore massimo delle fluttuazioni ammesse per la tensione d'uscita (ripple).

2.3.3 Dimensionamento

Utilizzando i grafici di Fig. 2.8 si è scelto di utilizzare una capacità C_1 di 680 nanofarad. Questo valore permette di avere un buon compromesso tra efficienza (93.5%) e tensione d'uscita (98% di $2V_{IN}$, pari a circa 5.39 volt), con una resistenza intrinseca, a 400 kilo-hertz, pari a

$$R_S = 3.7 \, \Omega.$$

Efficienza e tensione d'uscita reali saranno ovviamente minori se si considerano anche le resistenze serie R_N ed R_P , causa delle cadute di tensione sui transistor M_1 ed M_2 . Queste cadute di tensione saranno tanto minori quanto più sarà grande il fattore di forma $\frac{W}{L}$, cioè quanto più i transistor saranno larghi. L'importanza di avere transistor molto larghi è accentuata dall'elevata corrente media, fino a 60 milli-ampère, che questi devono pilotare. Per queste ragioni il charge pump è stato realizzato con dei transistor lunghi 0.6 micron e larghi ben 10 millimetri (vedi Tab. 2.2). Dovendo lavorare con tensioni superiori ai 3.3 volt per cui è stata concepita la tecnologia i transistor sono stati realizzati utilizzando lo speciale strato di ossido spesso (OX5), il quale richiede una lunghezza minima di canale di 0.6 micron. I transistor sono stati realizzati con una struttura a pettine, suddividendo i transistor in strisce di 250 micron di lunghezza. La larghezza totale è stata portata ad 11 millimetri ma sono state connesse strisce per soli 10 millimetri. Le strisce restanti servono per

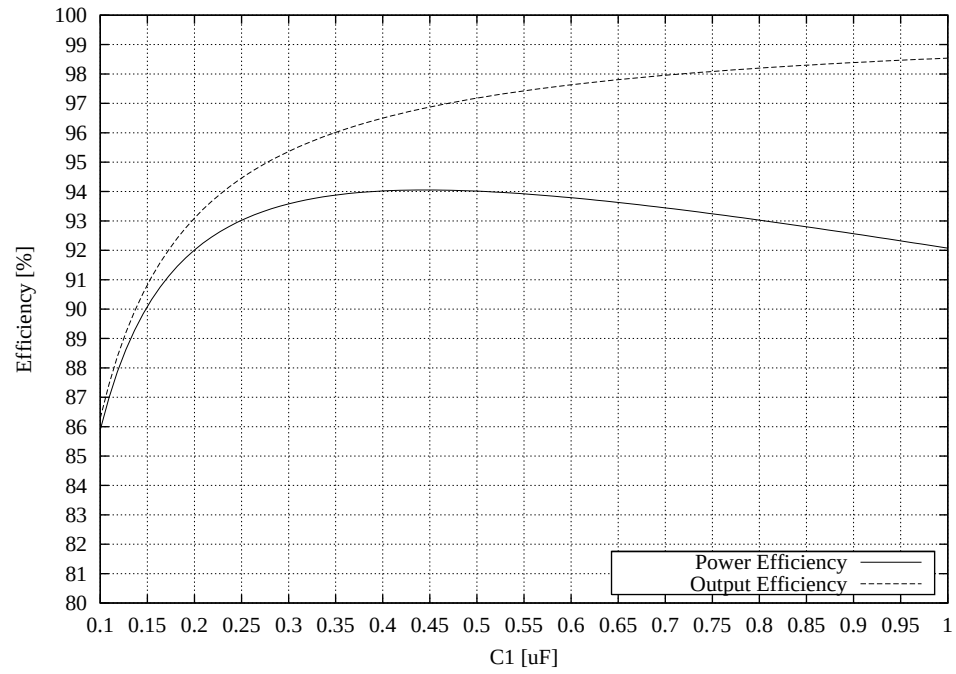
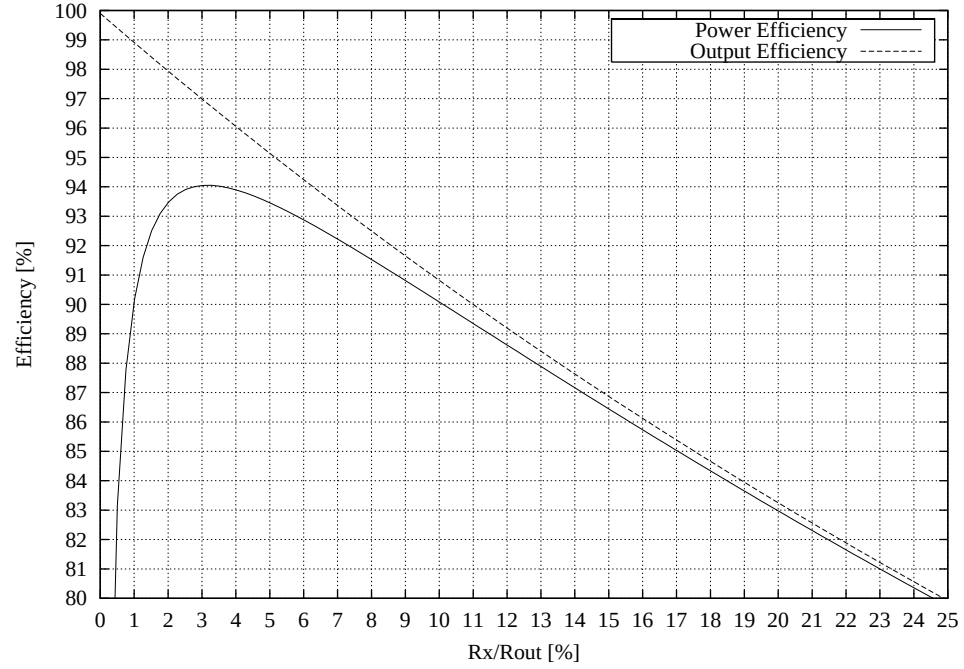


Figura 2.8: Efficienza (in potenza) ed efficienza sull'uscita in funzione del rapporto $\frac{R_x}{R_L}$ e della capacità C_1 ($V_{IN}=2.75$ V, $I_{OUT}=30$ mA, $f=400$ kHz, $\alpha=0.002$).

	W [mm]	L [μm]	C [nF]	Tipo
M_1	10 + 1	0.6	—	NMOSOX5
M_2	10 + 1	0.6	—	PMOSOX5
C_1	—	—	680	Esterna
C_2	—	—	680	Esterna

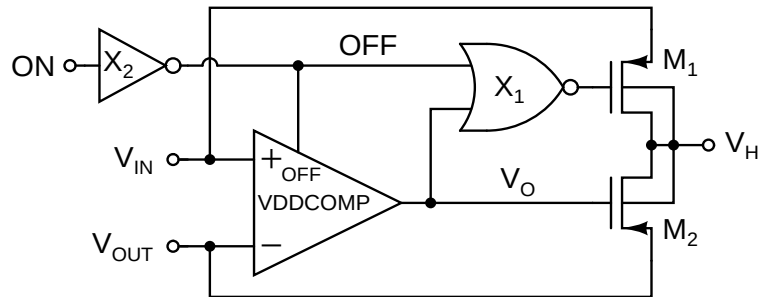
Tabella 2.2: Dimensionamento del charge pump.

aumentare la lunghezza dei transistor in caso di necessità. In questo modo, infatti, attraverso una semplice *metal change* (modifica di una maschera di metallizzazione) é possibile aumentare o ridurre il numero di strisce connesse e quindi la lunghezza dei transistor. Nell'organizzazione del layout si é fatta particolare attenzione a non lasciare zone in cui potesse innescarsi il fenomeno del latch-up. Per garantire ciò le strisce di diffusione componenti i due transistor sono state alternate ad intere strisce di contatti di substrato, distanziate non più di 40 micron l'una dall'altra. In questo modo si é garantito che le cadute di potenziale dovute alla resistenza presentata dal substrato tra un qualunque suo punto ed il contatto di substrato più vicino non fosse mai sufficiente ad innescare il latch-up. I transistor sono stati anche circondati da un doppio anello di protezione (*guard ring*), uno costituito da contatti di tipo *n* ed uno di tipo *p*, con quello interno dello stesso tipo del substrato del transistor (queste accortezze sono poi state prese anche per tutti gli altri circuiti). Tutto ciò al fine di isolare i transistor da eventuali disturbi provenienti dal substrato e dovuti ad altri componenti presenti sul chip (tipicamente circuiti digitali). Tutti questi accorgimenti, ovviamente, hanno fatto aumentare l'occupazione d'area, pari rispettivamente a 0.086 millimetri quadrati per M_1 ($270 \mu m \times 320 \mu m$) ed a 0.065 millimetri quadrati per M_2 ($260 \mu m \times 250 \mu m$).

Volendo limitare il ripple nell'ordine dei 50 milli-volt si é scelta una capacità C_2 di 680 nano-farad. A 400 kilo-hertz e con $I_{OUT} = 30$ milli-ampère si ha il ripple massimo, pari a 55 milli-volt.

2.4 Bulk Switching

Come visto nel § 2.1.2, affinché funzioni correttamente il transistor p del charge pump deve avere il bulk sempre connesso al potenziale più alto presente nel circuito. Inizialmente il potenziale più alto è costituito dall'alimentazione (V_{IN}) mentre a regime è costituito dall'uscita (V_{OUT}). È quindi necessario selezionare di volta in volta il nodo che si trova a potenziale maggiore. In Fig. 2.9 viene presentata la soluzione adottata. Il comparatore VDDCOMP e la porta NOR sono alimentati dalla stessa



	W [μm]	L [μm]	Tipo
M_1	250	0.6	PMOSOX5
M_2	250	0.6	PMOSOX5
$M_P(X_1)$	4	0.6	PMOSOX5
$M_N(X_1)$	2	0.6	NMOSOX5
$M_P(X_2)$	6	0.35	PMOS
$M_N(X_2)$	2	0.35	NMOS

Figura 2.9: Circuito che implementa il bulk switching.

tensione V_H che provvedono a generare (selezionando il potenziale maggiore tra V_{IN} e V_{OUT}). Per evitare quindi che il circuito si trovi in uno stato indeterminato è stato inserito un segnale di controllo (ON) che provvede a portare a zero l'uscita della NOR e setta così V_H a V_{IN} . Con ON a zero infatti, viene acceso uno dei due NMOS(OX5) che connettono a massa l'uscita della NOR, e questo anche se la porta non è alimentata. Il segnale ON non è altro che il segnale di controllo adibito ad accendere/spegnere l'intero circuito duplicatore di tensione.

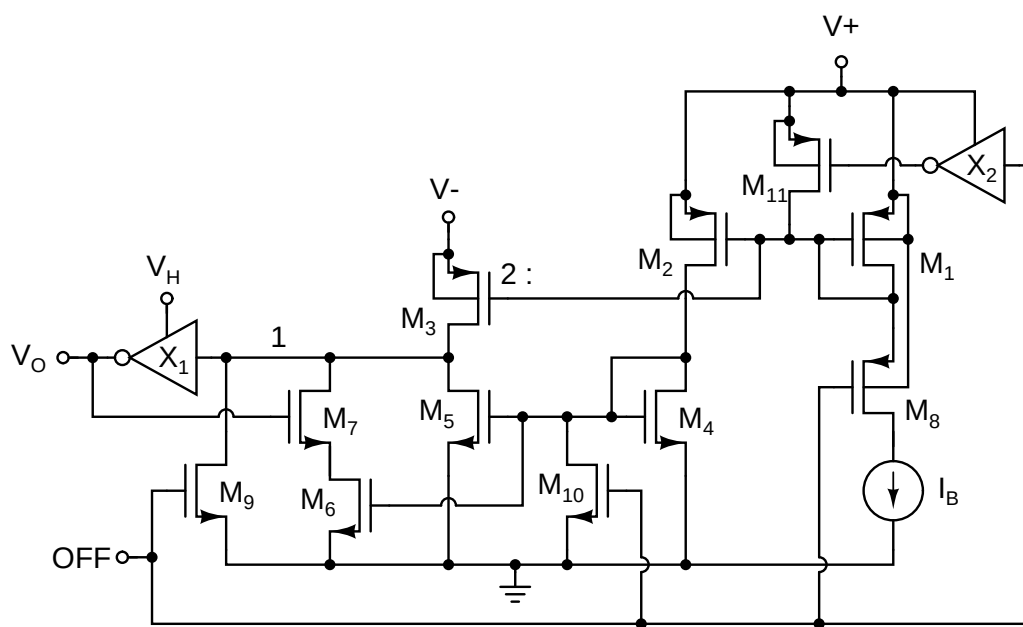
Inizialmente ON é basso (a zero): V_H viene connessa a V_{IN} mentre tutti i restanti circuiti sono spenti. In queste condizioni la capacità C_2 non viene più caricata e V_{OUT} si porta rapidamente a zero. Fintanto che V_{OUT} é maggiore di V_{IN} si possono innescare fenomeni di latch-up che però hanno come unico effetto quello di accentuare la scarica di C_2 , interrompendosi non appena V_{OUT} diventa inferiore a V_{IN} . Quando ON viene portato a V_{IN} i vari circuiti si accendono ed il comparatore entra in funzione. Se V_{OUT} é ancora maggiore di V_{IN} l'uscita si porterà a zero e V_H viene connessa a V_{OUT} , in caso contrario l'uscita rimane a $V_H = V_{IN}$ (vedi paragrafo successivo).

2.4.1 Comparatore per Tensioni di Alimentazione

Dovendo comparare fra loro due tensioni di alimentazione é stato necessario utilizzare un'architettura particolare. In Fig. 2.10 viene riportato lo schema del circuito utilizzato per comparare le tensioni di alimentazione.

Con il segnale *OFF* alto (a V_{IN}) il circuito é spento e non c'é assorbimento di corrente, mentre l'uscita si trova a V_H (il nodo 1 viene portato a massa da M_9). Con *OFF* basso la corrente di polarizzazione I_B , pari a 2 micro-ampère, può scorrere attraverso i transistor M_1 , M_2 ed M_4 . Inizialmente $V-$ (V_{OUT}) é a zero (C_2 scarica) per cui il transistor M_3 non é in grado di erogare corrente ed il nodo 1 é portato a massa da M_5 . Col nodo 1 a massa l'uscita V_O é alta ed M_7 é acceso mentre M_5 ed M_6 , pilotati da M_4 , richiedono una corrente ($2I_B$) che, con $V- < V+$, M_3 non é in grado di erogare (la tensione gate-source di M_3 risulta inferiore a quella di M_1 ed M_2). Quando $V-$ supera $V+$ M_3 é in grado di pilotare una corrente maggiore di quella richiesta da M_5 ed M_6 per cui il nodo 1 viene portato a $V-$, V_O a zero ed M_7 si spegne. Per fare in modo che il comparatore commuti di nuovo stavolta $V-$ deve scendere sotto $V+$ di una quantità maggiore di zero, introducendo così un'isteresi.

In Fig. 2.11 é riportato il layout del comparatore per tensioni di alimentazione. Il circuito presenta un'occupazione d'area di circa 1 800 micron quadrati.



	W [μm]	L [μm]	Tipo
M_1-M_3	4	12	PMOSOX5
M_4-M_6	4	12	NMOSOX5
M_7	20	0.6	NMOSOX5
M_8, M_{11}	6	0.35	PMOS
M_9	6	0.6	NMOSOX5
M_{10}	6	0.35	NMOS
$M_P(X_1)$	18	0.6	PMOSOX5
$M_N(X_1)$	6	0.6	NMOSOX5
$M_P(X_2)$	6	0.35	PMOS
$M_N(X_2)$	2	0.35	NMOS

Figura 2.10: Comparatore per tensioni di alimentazione ($I_B = 2 \mu A$).

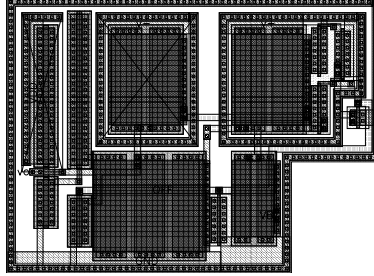


Figura 2.11: Layout del comparatore per tensioni di alimentazione (dimensioni: $50 \mu m \times 36 \mu m$).

2.4.2 Caratteristica Ingresso/Uscita

In Fig. 2.12 vengono riportate le caratteristiche ingresso/uscita del comparatore per tensioni di alimentazione e dell'intero circuito che implementa il bulk switching, ottenute tramite simulazioni Hspice¹. Come si può vedere la caratteristica ingresso/uscita del comparatore VDDCOMP presenta un'isteresi di ben 260 milli-volt. Inoltre la prima commutazione (per V_{OUT} crescenti) non si ha in corrispondenza di V_{IN} (pari a 2.75 volt) ma per $V_{OUT} = 2.8$ volt. Questo significa che in questo intervallo la tensione V_H è minore di V_{OUT} . Analogamente per V_{OUT} decrescenti e comprese nell'intervallo che va da 2.75 fino a 2.55 volt la tensione V_H risulterà minore di V_{IN} . Non è quindi sempre vero che a tensione V_H è la più alta presente nel circuito. Questo però non costituisce un problema in quanto quando V_H risulta inferiore lo è per non più di 200 milli-volt, valore sicuramente inferiore alle tensioni di soglia dei transistor parassiti e quindi non sufficiente ad innescare il fenomeno del latch-up.

2.5 Clock

Come visto nel § 2.3 il charge pump viene pilotato attraverso due clock, CK_1 e CK_2 : il primo pilota la capacità esterna C_1 e deve commutare tra zero e V_{IN} , il secondo, in controfase rispetto al primo, pilota i transistor e deve variare tra zero e V_H . Mentre

¹ Le simulazioni sono state effettuate utilizzando il modello BSIM3v2 per i transistor MOS (level 49 in Hspice).

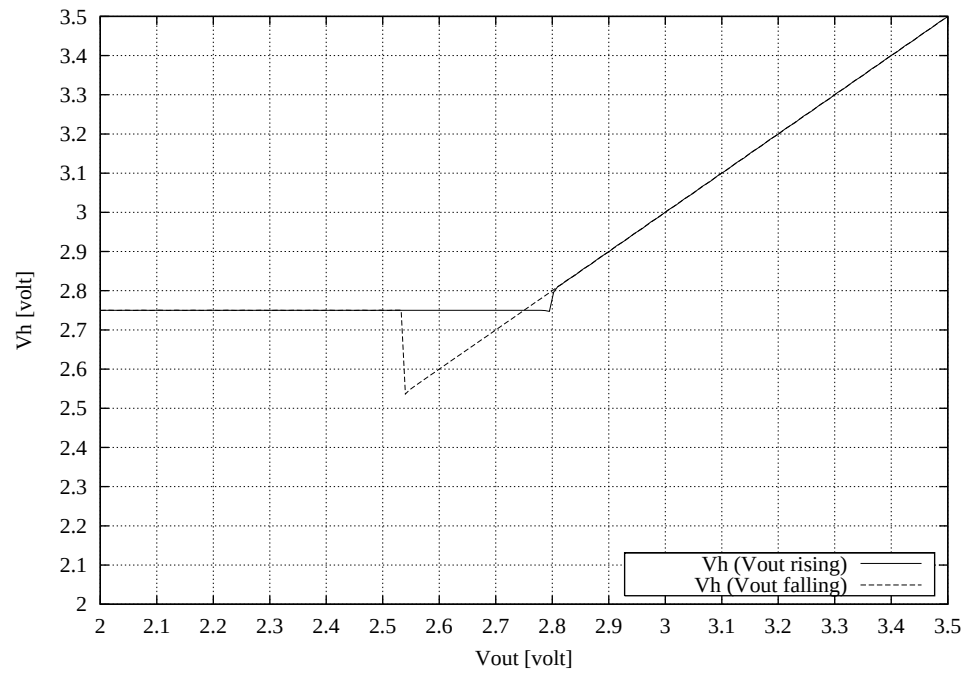
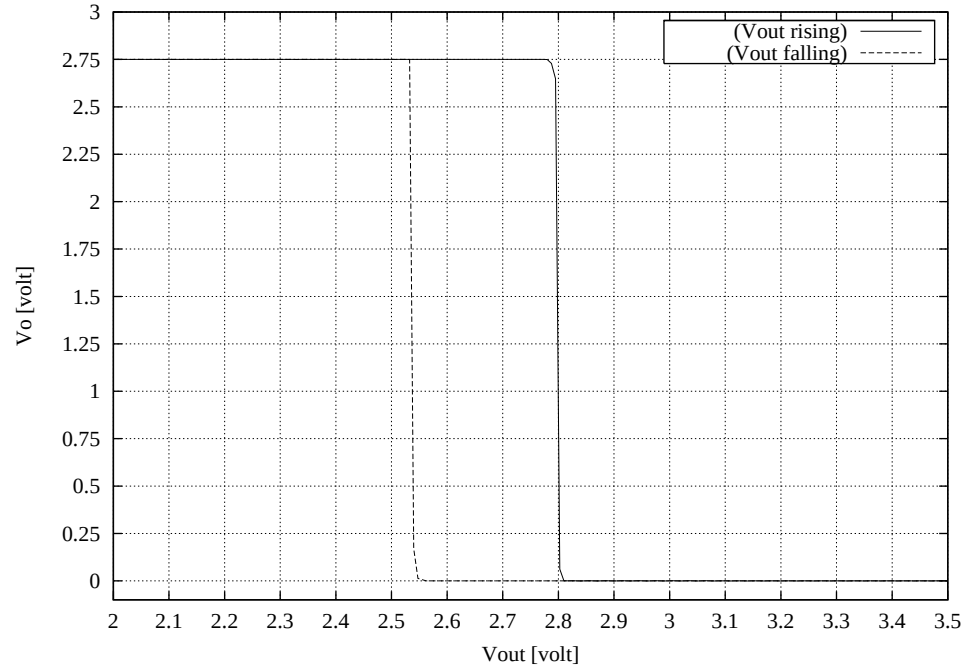
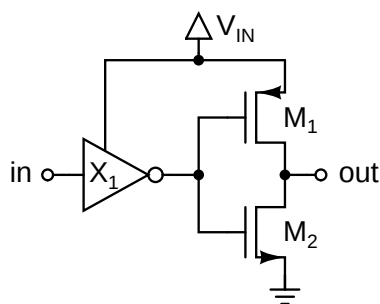


Figura 2.12: Caratteristica ingresso/uscita del VDDCOMP e del circuito che implementa il bulk switching: simulazione ($V_{IN} = 2.75$ V).

CK_2 ha come carico solo i gate dei due transistor, CK_1 ha invece una capacità esterna che va caricata/scaricata con una corrente media di 60 milli-ampère. Il circuito riceve in ingresso, però, un solo segnale di clock, tra zero e V_{IN} e che non è direttamente utilizzabile per pilotare C_2 . Da questo segnale di clock devono essere generati i clock CK_1 e CK_2 , e questo è possibile utilizzando rispettivamente un buffer ed un traslatore di livello.

2.5.1 Buffer

In Fig. 2.13 viene riportato lo schema circuitale del buffer utilizzato per generare CK_1 a partire dal segnale di clock in ingresso. Il circuito consiste semplicemente



	W [μm]	L [μm]	Tipo
M_1	6 000 + 500	0.35	PMOS
M_2	2 000 + 500	0.35	NMOS
$M_P(X_1)$	60	0.35	PMOS
$M_N(X_1)$	20	0.35	NMOS

Figura 2.13: Buffer.

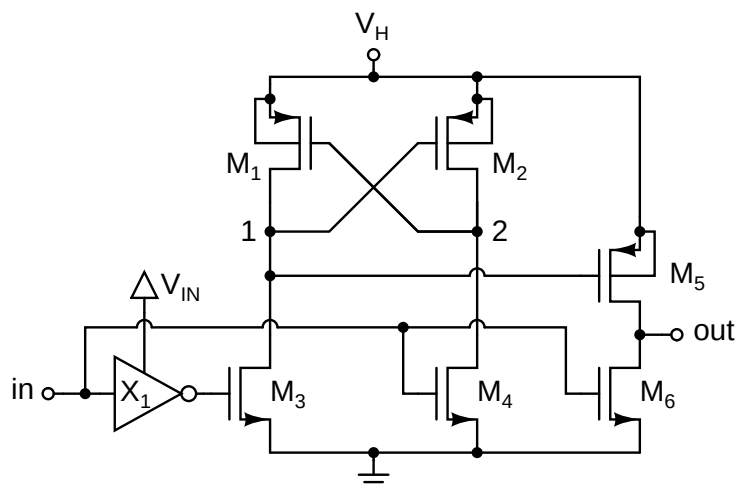
in due inverter in cascata, il secondo dei quali presenta i transistor sufficientemente larghi da poter pilotare i 60 milli-ampère richiesti senza grosse cadute di tensione sull'uscita e limitare così il problema del clock buffering.

Date le dimensioni, pari rispettivamente a 6 e 2 millimetri di larghezza, i transistor d'uscita M_1 ed M_2 sono stati realizzati con una struttura a pettine, suddividendo la larghezza totale in strisce da 250 micron. Ciascun transistor, inoltre, presenta

ulteriori 500 micron di larghezza che in caso di necessità possono essere connessi tramite una semplice metal change. Per quanto riguarda la prevenzione del latch-up e la protezione dai disturbi provenienti dal substrato sono stati presi gli stessi accorgimenti presi per i transistor del charge pump (contatti di substrato distanti non più di 40 micron l'uno dall'altro e doppio guard ring esterno). L'occupazione d'area del buffer é di circa 0.05 millimetri quadrati ($265\ \mu m \times 190\ \mu m$), quasi interamente dovuti ai due transistor d'uscita.

2.5.2 Traslatore di Livello

In Fig. 2.14 viene riportato lo schema circuitale del traslatore di livello utilizzato per generare CK_2 a partire dal segnale di clock in ingresso [10].



	W [μm]	L [μm]	Tipo
M_1, M_2	2	4	PMOSOX5
M_3, M_4	2	0.6	NMOSOX5
M_5	300	1	PMOSOX5
M_6	100	1	NMOSOX5
$M_P(X_1)$	6	0.35	PMOS
$M_N(X_1)$	2	0.35	NMOS

Figura 2.14: Traslatore di livello.

Con l'ingresso alto (a V_{IN}) il transistor M_4 é in conduzione ed il nodo 2 é a massa mentre il transistor M_3 é spento ed il nodo 1 viene portato a V_H da M_1 (M_2 é spento). Il transistor M_6 é in conduzione é porta l'uscita del buffere a massa, mentre M_5 é spento (nodo 1 alto). Quando l'ingresso é basso il transistor M_4 si spegne mentre M_3 entra in conduzione e porta il nodo 1 a massa, accendendo cosí M_2 che porta il nodo 2 a V_H e spegne M_1 . Stavolta é il transistor M_5 ad essere in conduzione per cui l'uscita del buffer viene portata a V_H (M_6 é spento in quanto l'ingresso é basso). Si noti come il circuito, oltre che traslare il livello del segnale da V_{IN} a V_H , provvede anche ad invertirlo.

In Fig. 2.15 é riportato il layout del traslatore di livello. Il circuito presenta un'occupazione d'area di circa 1 800 micron quadrati.

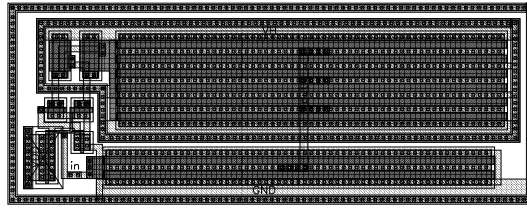
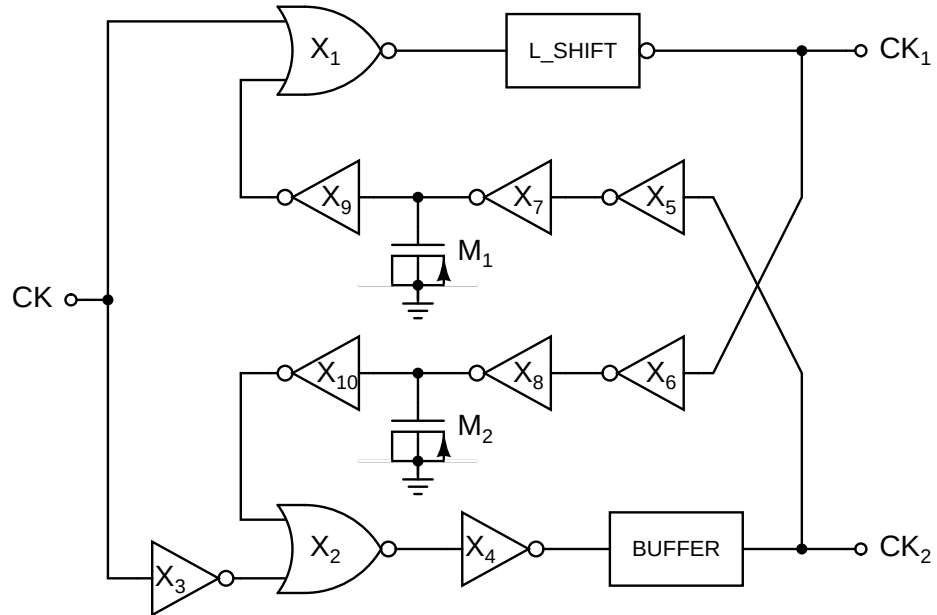


Figura 2.15: Layout del traslatore di livello (dimensioni: $70 \mu m \times 26 \mu m$).

2.5.3 Clock a Due Fasi

Finora si é supposto che i due clock CK_1 e CK_2 commutino simultaneamente. Cosí facendo, però, si rischia per un certo istante di connettere la capacità C_1 con l'uscita quando CK_1 non ha ancora completato la transizione a V_{IN} . In queste condizioni C_1 assorbe corrente da C_2 anzichè provvedere a caricarla e le prestazioni del circuito si degradano sensibilmente. Per evitare ciò occorre fare in modo che CK_1 si porti a V_{IN} prima che CK_2 si porti a zero. Il modo più semplice per implementare un clock a due fasi di questo tipo consiste nell'utilizzare un flip-flop in cui sono stati introdotti dei ritardi sull'anello di reazione. In Fig. 2.16 viene riportato il circuito utilizzato per implementare questa soluzione. Il traslatore di livello (L_SHIFT) ed il buffer (BUFFER) sono stati inseriti all'interno dell'anello di reazione del flip-flop mentre i ritardi sono stati ottenuti inserendo delle capacità (transistor M_1 ed M_2) pilotate



	W [μm]	L [μm]	Tipo
M_1, M_2	25	25	PMOS
$M_P(X_1, X_2)$	4	0.35	PMOS
$M_N(X_1, X_2)$	2	0.35	NMOS
$M_P(X_3, X_4)$	6	0.35	PMOS
$M_N(X_3, X_4)$	2	0.35	NMOS
$M_P(X_5)$	6	0.5	PMOS
$M_N(X_5)$	2	0.5	NMOS
$M_P(X_6)$	6	0.6	PMOSOX5
$M_N(X_6)$	2	0.6	NMOSOX5
$M_P(X_7-X_{10})$	6	2	PMOS
$M_N(X_7-X_{10})$	2	2	NMOS

Figura 2.16: Circuito per la generazione del clock a due fasi.

da degli inverter. Tutti i dispositivi sono alimentati da V_{IN} tranne, ovviamente, il traslatore di livello. Dato che l'unico nodo a tensione maggiore di V_{IN} è CK_1 è stato necessario impiegare lo speciale strato di ossido spesso (OX5) solo per l'inverter X_6 .

L'occupazione d'area del circuito è di circa 0.058 millimetri quadri ($305 \mu m \times 190 \mu m$), quasi interamente dovuti ai due transistor d'uscita del buffer.

2.6 Duplicatore di Tensione

In Fig. 2.17 viene riportato il duplicatore di tensione implementato, completo di circuito che seleziona la tensione maggiore (bulk switching) e di quello che genera il clock a due fasi (CK2PH). Il circuito è stato simulato con Hspice ed i risultati sono

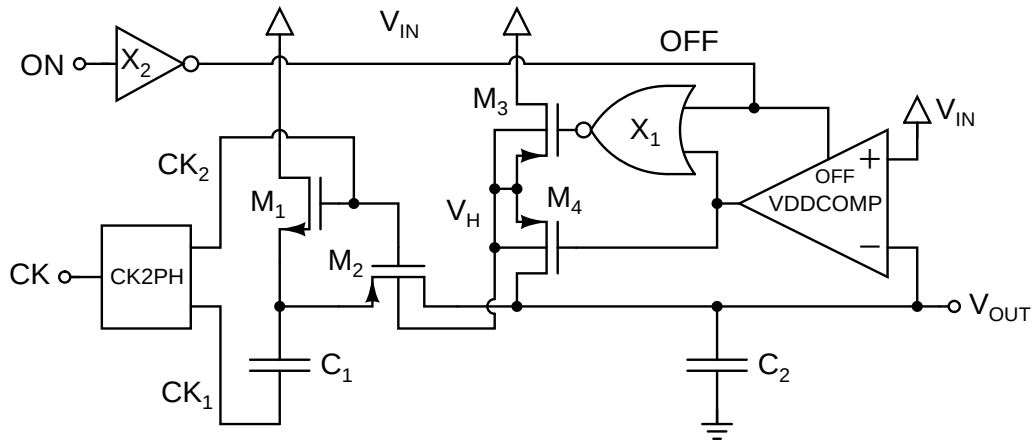


Figura 2.17: Duplicatore di tensione implementato.

riportati in Fig. 2.18. Le simulazioni sono state effettuate alimentando il circuito con 2.75 volt ed utilizzando un clock a 400 kilo-hertz. Si è anche tenuto conto delle resistenze serie (ESR) associate alle capacità esterne C_1 e C_2 , quantificate in 40 milli-ohm (valore massimo dato dalle specifiche). Questi valori sono i più critici per il circuito in quanto ad essi corrisponde il valore massimo per la resistenza intrinseca R_S del charge pump (tensione e frequenza minimi) ed il valore minimo della tensione d'uscita.

In assenza di carico ($I_{OUT} = 0$) la tensione d'uscita V_{OUT} è costante e pari a 5.38 volt. In condizioni di carico massimo ($I_{OUT} = 30$ milli-ampère), invece, il valore

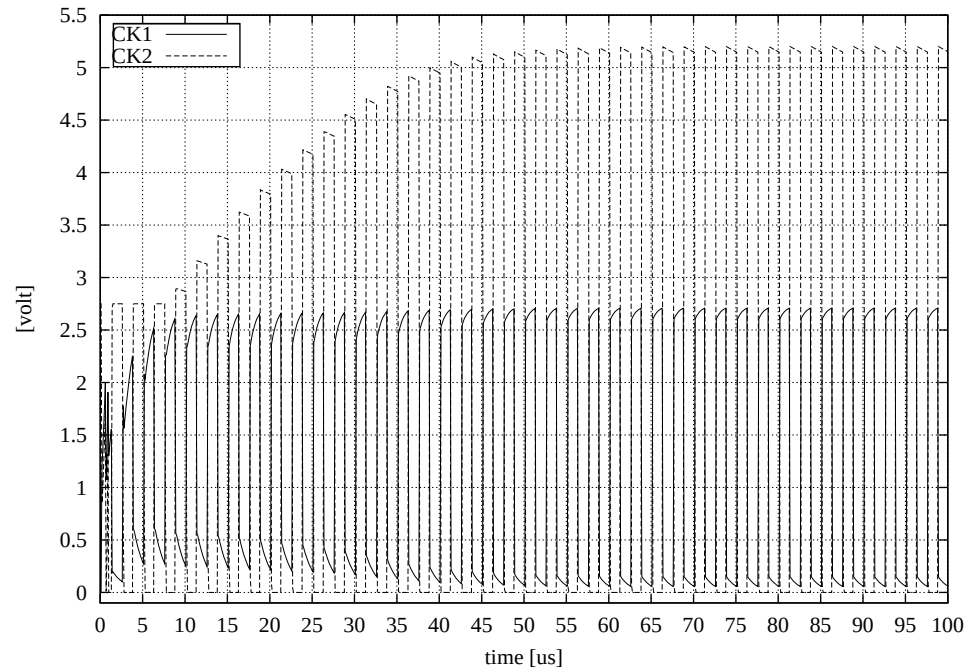
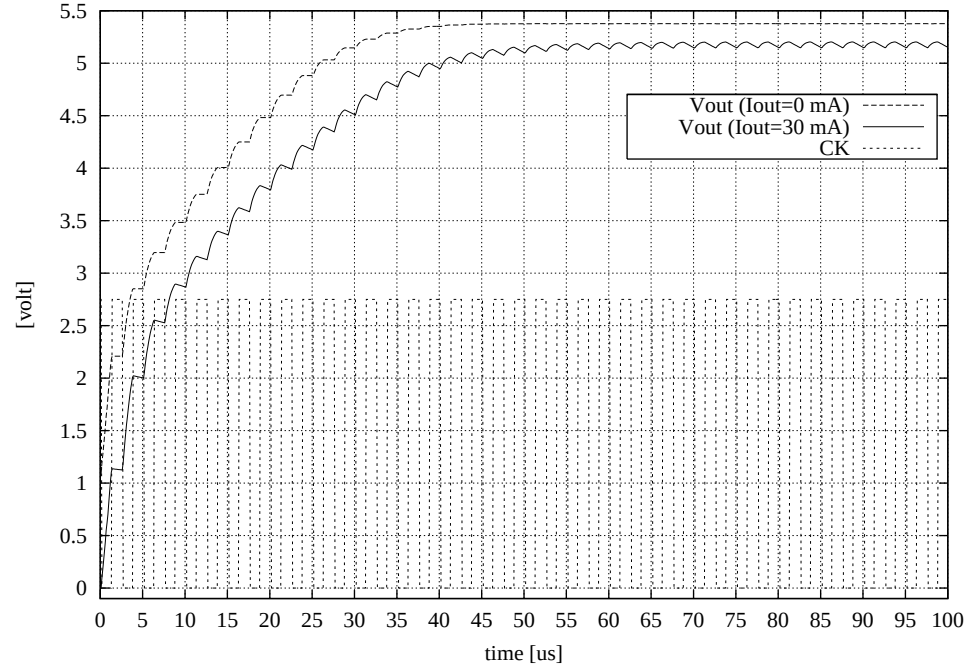


Figura 2.18: Duplicatore di tensione: simulazione ($V_{IN} = 2.75 \text{ V}$, $f = 400 \text{ kHz}$, $C_{1/2} = 680 \text{ nF} + 40 \text{ m}\Omega$).

dell'uscita scende a 5.2 volt (valore massimo) e presenta un ripple di 55 milli-volt. Il consumo del circuito é di 72 milli-ampère a pieno carico (il limite minimo proprio del circuito é di $2I_{OUT}=60$ milli-ampère), e di 24 milli-ampère in assenza di carico²

Sempre in condizioni di carico massimo viene anche riportato l'andamento del clock a due fasi. Si noti come l'involuppo di CK_2 segue quello di V_{OUT} (per $V_{OUT} > V_{IN}$) mentre CK_1 evidenzia, nei vari semiperiodi, l'andamento tipico di un circuito RC che si sta caricando/scaricando. Questo comportamento, dovuto alla resistenza non nulla dei transistor d'uscita del buffer, genera le cadute di tensione d_1 e d_2 (sono valori medi) viste quando si é accennato al fenomeno del clock bufferig. In Fig. 2.19 i clock CK_1 e CK_2 vengono riportati in dettaglio. Come previsto CK_1 si porta alto prima (circa 50 nano-secondi) che CK_2 commuti a zero e connetta C_1 con l'uscita.

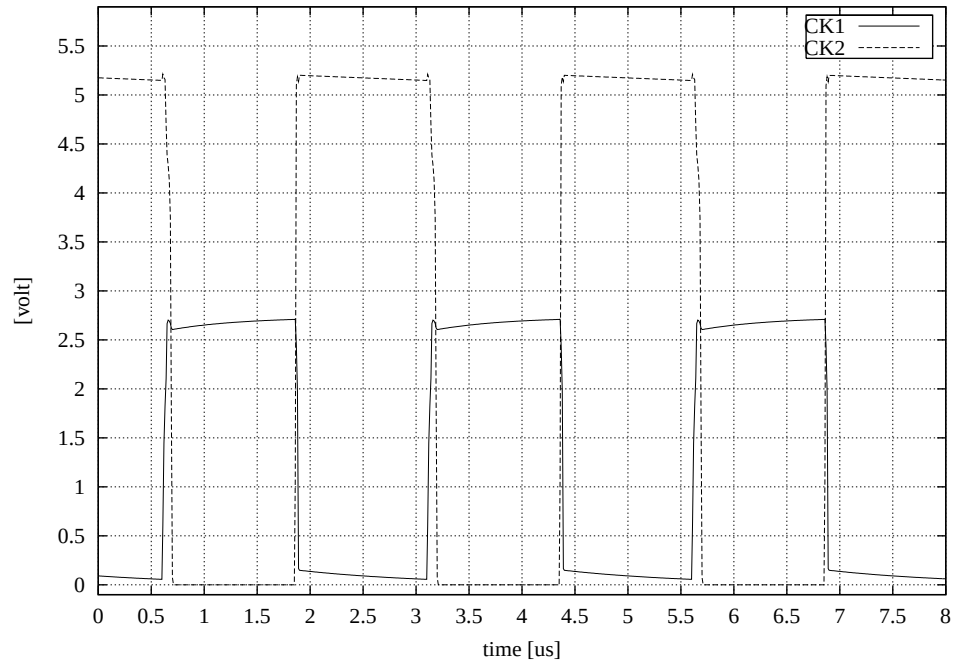


Figura 2.19: Clock a due fasi: simulazione ($V_{IN}=2.75$ V, $V_{OUT}=2V_{IN}$).

² Con $V_{IN} = 2.85$ volt la tensione d'uscita é pari a 5.56 volt costanti per $I_{OUT} = 0$ ed a 5.42 volt massimi, con 58 milli-volt di ripple, per $I_{OUT} = 30$ milli-ampère. Il consumo, invece, é pari rispettivamente a 28 ed a 73 milli-ampère.

2.7 Riduzione del Consumo

Si é visto come il duplicatore di tensione assorba oltre 70 milli-ampère a pieno carico e circa 25 milli-ampère in assenza di carico. Se da un lato il consumo a pieno carico é difficilmente riducibile (é prossimo al limite minimo di $2I_{OUT}$ proprio del circuito) quello in assenza di carico appare sproporzionato: il circuito assorbe oltre 20 milli-ampère anche quando la tensione d'uscita é già al massimo e non vi é alcun carico che tende a farla diminuire. Questo é dovuto al fatto che la capacità C_1 (di ben 680 nano-farad!) continua comunque a commutare. Una possibile soluzione consiste nel fare in modo che il charge pump venga fatto operare solo quando necessario, cioè quando la tensione d'uscita V_{OUT} scende al di sotto di una certa soglia.

In Fig. 2.20 viene presentato la soluzione adottata. Il circuito opera confrontando una frazione V_R della tensione d'uscita con una tensione di riferimento V_{BG} di 1.2 volt fornita da un generatore di tensione di riferimento del tipo a *band-gap*. I due segnali di controllo ON e PR provvedono rispettivamente ad accendere/spegnere il circuito e ad abilitare/disabilitare la riduzione del consumo di potenza.

Con il circuito acceso (ON a '1') e la riduzione del consumo di potenza abilitata (PR a '1') il transistor M_1 é acceso e l'uscita V_{COMP} del comparatore rimane alta fintanto che

$$V_R = \frac{R_1}{R_1 + R_2} V_{OUT}$$

risulta minore di V_{BG} , cioè fintanto che

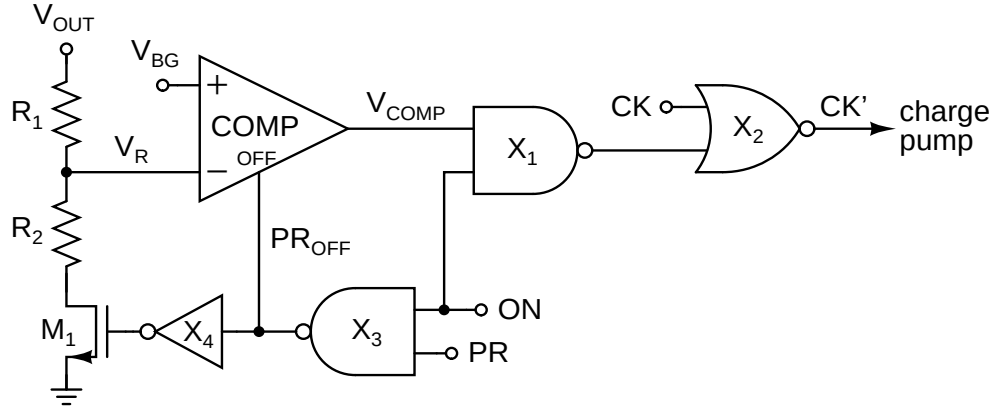
$$V_{OUT} < \frac{R_1 + R_2}{R_1} V_{BG}.$$

Con V_{COMP} alta il clock CK é libero di passare ed il charge pump viene fatto operare. Per far commutare il comparatore in corrispondenza di $V_{OUT} = 5.3$ volt le resistenze R_1 ed R_2 sono state poste pari a

$$R_1 = 246 \text{ k}\Omega$$

$$R_2 = 72 \text{ k}\Omega.$$

In questo modo, quando V_{OUT} diviene maggiore di 5.3 volt il comparatore commuta e V_{COMP} si porta a zero, impedendo così il passaggio di CK . Il charge pump



	W [μm]	L [μm]	R [$k\Omega$]	Tipo
M_1	250	0.6	—	NMOSOX5
$M_P(X_1, X_3)$	2	0.35	—	PMOS
$M_N(X_1, X_3)$	4	0.35	—	NMOS
$M_P(X_2)$	4	0.35	—	PMOS
$M_N(X_2)$	2	0.35	—	NMOS
$M_P(X_4)$	6	0.35	—	PMOS
$M_N(X_4)$	2	0.35	—	NMOS
R_1	1 330	0.95	246	RES
R_2	390	0.95	72	RES

Figura 2.20: Circuito per la riduzione del consumo di potenza ($V_{BG} = 1.2$ V).

viene “congelato” fino a quando V_{OUT} non scende sotto i 5.3 volt ed il comparatore commuta nuovamente.

Le resistenze sono state realizzate tramite strisce di un’apposita diffusione poco drogata (RES). Per ridurre il mismatch le strisce componenti le due resistenze sono state intercalate fra loro realizzando una struttura interdigitata. Le resistenze presentano un’occupazione d’area di circa 3 300 micron quadrati ($88 \mu m \times 38 \mu m$).

2.7.1 Comparatore

In Fig. 2.21 viene riportato lo schema circuitale del comparatore. Si tratta di un OTA simmetrico con l'aggiunta di un inverter in uscita per squadrare il segnale ed avente funzioni di buffer e di un circuito che introduce dell'isteresi nella caratteristica ingresso/uscita. Il comparatore è polarizzato con una corrente I_B di 2 micro-ampère.

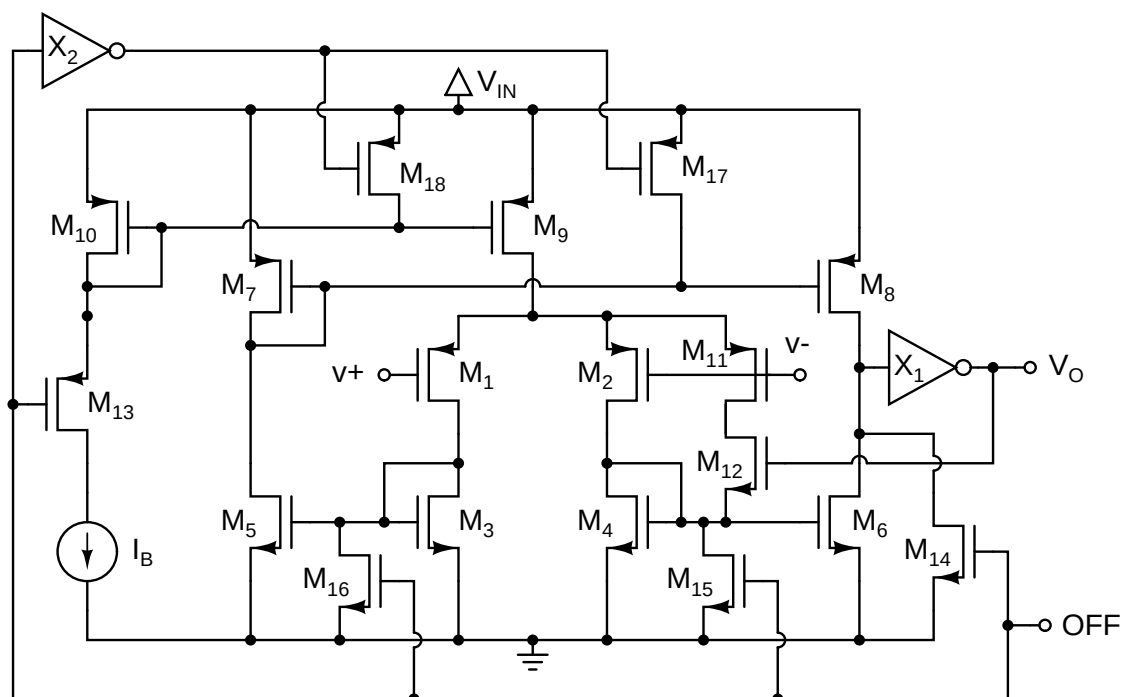
I transistor M_{11} ed M_{12} servono per introdurre l'isteresi. Quando v^+ è minore di v^- l'uscita V_O è bassa, M_{12} si spegne ed M_{11} risulta sconnesso. In questa situazione la coppia differenziale d'ingresso è simmetrica e la soglia di commutazione si ha per $v^+ - v^- = 0$. Quando v^+ è maggiore di v^- V_O è alta, M_{12} si accende ed M_{11} risulta connesso in parallelo ad M_2 . Si ha quindi uno sbilanciamento della coppia differenziale a sfavore di M_1 e la soglia di commutazione si sposta verso $v^+ - v^- < 0$. L'isteresi introdotta è di circa 12 milli-volt. Il terminale *OFF*, invece, serve per spegnere il comparatore e per settare V_O a V_{IN} .

In Fig. 2.22 è riportato il layout del comparatore. Il circuito presenta un'occupazione d'area di circa 2 800 micron quadrati.

2.7.2 Consumo

In Fig. 2.23 vengono riportati i risultati della simulazione con Hspice relativi ad una tensione di alimentazione di 2.75 volt ed in assenza di carico ($I_{OUT}=0$). Si noti come il clock *CK* viene bloccato non appena la tensione d'uscita V_{OUT} diviene maggiore di 5.3 volt. Questo fa sì che V_{OUT} non riesca a raggiungere i 5.38 volt che raggiungeva senza il circuito per la riduzione del consumo, ma arrivi al massimo a 5.34 volt. Stavolta, però, per mantenere questa tensione in assenza di carico il duplicatore di tensione assorbe solamente 22 micro-ampère contro i 24 milli-ampère che assorbiva in precedenza, cioè una corrente di ben tre ordini di grandezza inferiore.

Con carico massimo, invece, la risposta ed il consumo del duplicatore di tensione sono gli stessi del caso senza circuito per la riduzione del consumo. Questo perchè la soglia dei 5.3 volt non viene mai raggiunta (V_{OUT} raggiunge al massimo 5.2 volt) per cui il charge pump non viene mai bloccato.



	W [μm]	L [μm]	Typo
M_1, M_2	120	2	PMOSOX5
M_3-M_6	4	10	NMOS
M_7, M_8	12	10	PMOS
M_9, M_{10}	4	10	PMOS
M_{11}	2	2	PMOSOX5
M_{12}	20	0.35	NMOS
$M_{13}-M_{16}$	6	0.35	NMOS
M_{17}, M_{18}	6	0.35	PMOS
$M_P(X_1)$	18	0.35	PMOS
$M_N(X_1)$	6	0.35	NMOS
$M_P(X_2)$	6	0.35	PMOS
$M_N(X_2)$	2	0.35	NMOS

Figura 2.21: Comparatore ($I_B = 2 \mu A$).

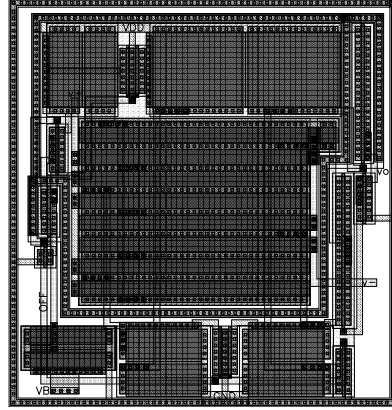


Figura 2.22: Layout del comparatore (dimensioni: $52\ \mu\text{m} \times 55\ \mu\text{m}$).

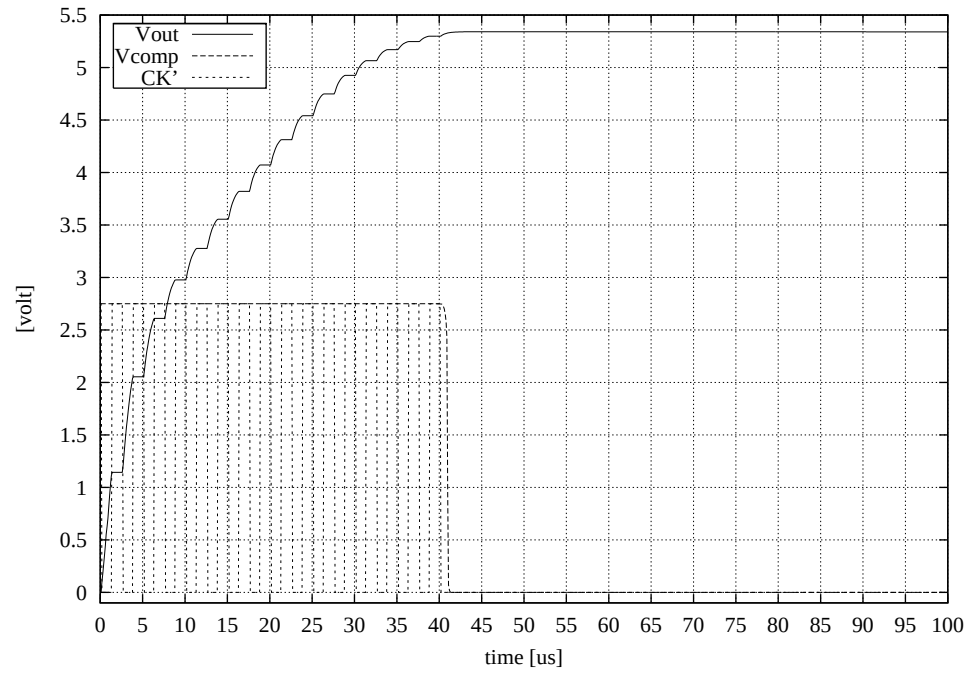


Figura 2.23: Duplicatore di tensione con riduzione del consumo: simulazione con $V_{IN}=2.75\ \text{V}$, $I_{OUT}=0$, $f=400\ \text{kHz}$ e $C_{1/2}=680\ \text{nF} + 40\ \text{m}\Omega$.

In Fig. 2.24, invece, vengono riportati i risultati relativi ad una tensione di alimentazione di 2.85 volt e carico massimo³ ($I_{OUT} = 30$ milli-ampère). Stavolta la

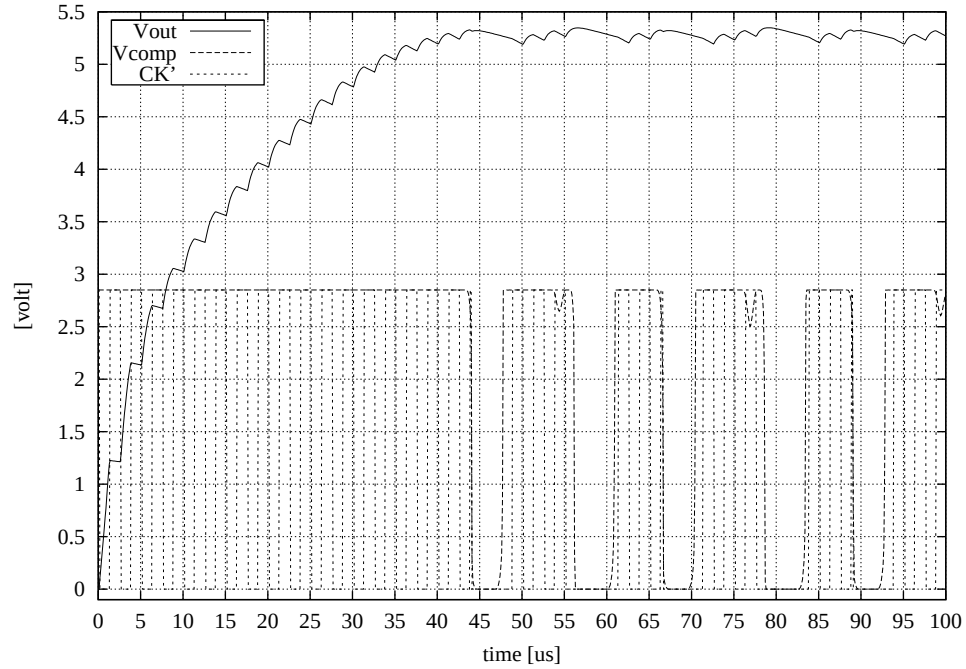


Figura 2.24: Duplicatore di tensione con riduzione del consumo: simulazione con $V_{IN} = 2.85$ V, $I_{OUT} = 30$ mA, $f = 400$ kHz e $C_{1/2} = 680$ nF + 40 mΩ.

tensione d'uscita può raggiungere la soglia dei 5.3 volt (più l'isteresi del comparatore) e quando ciò avviene il charge pump viene disabilitato mentre la tensione d'uscita diminuisce per effetto del carico. Quando la tensione scende nuovamente sotto i 5.3 volt il charge pump viene riabilitato e la tensione d'uscita riprende a salire. Il circuito consuma ora 65 milli-ampère, contro i 73 che si avevano senza il circuito per la riduzione del consumo.

Dato che la tensione d'uscita aumenta al diminuire della corrente assorbita dal carico il circuito è in grado di ridurre dinamicamente il suo consumo (disabilitando a tratti il charge pump) pur mantenendo una tensione d'uscita prossima ai 5.3 volt.

³ In assenza di carico ($I_{OUT} = 0$) la tensione d'uscita ha lo stesso andamento di Fig. 2.23, ma raggiunge i 5.42 volt. Il consumo, invece, è identico (22 micro-ampère).

Quanto più piccola sarà la corrente assorbita dal carico tanto più a lungo il charge pump rimarrà disabilitato e quindi tanto maggiore sarà la riduzione di consumo.

2.8 Circuito Finale

In Fig. 2.25 viene riportato lo schema circuitale finale del duplicatore di tensione implementato. Rispetto a quanto visto finora è stato aggiunto un multiplexer a due

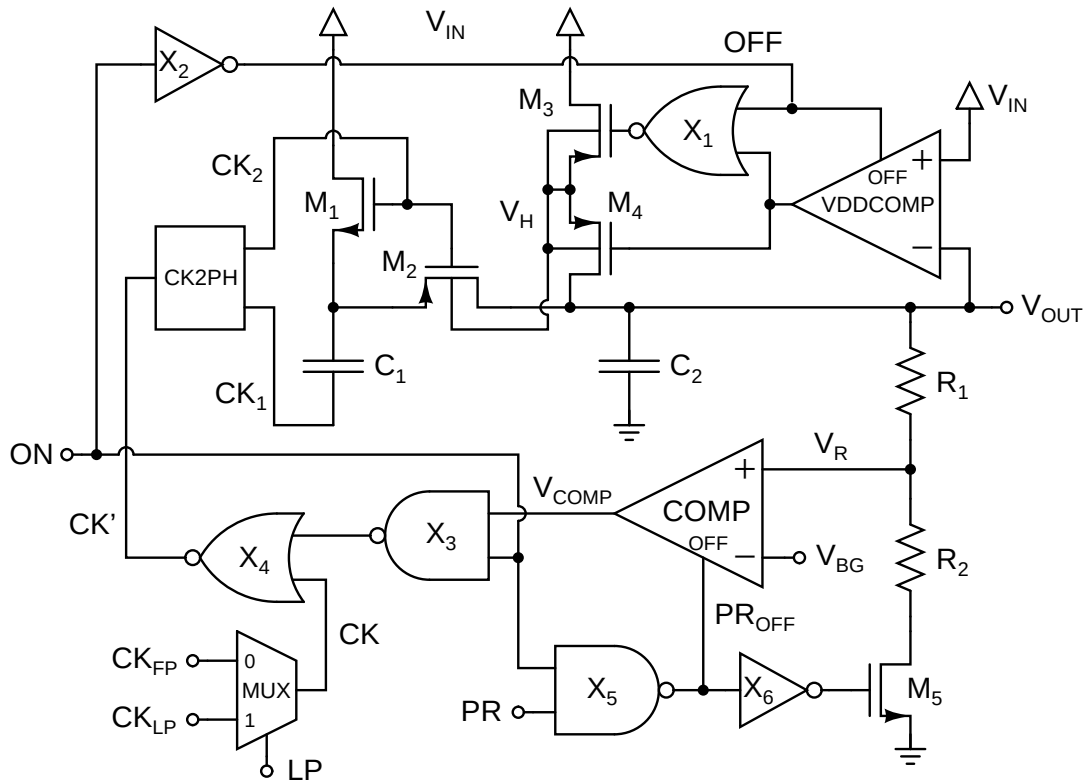
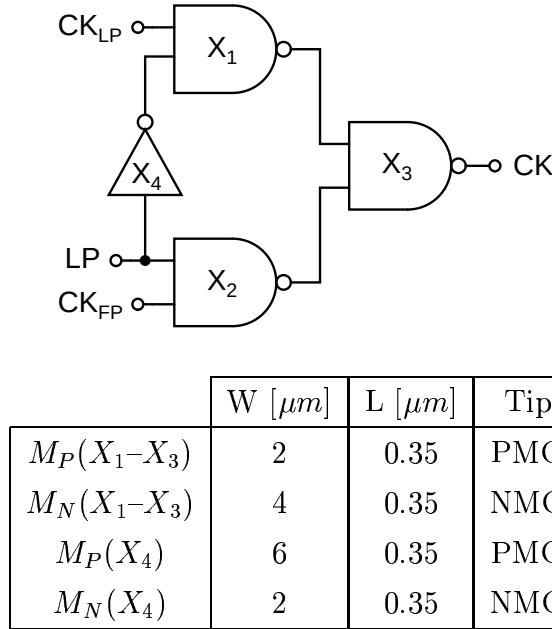


Figura 2.25: Duplicatore di tensione: circuito finale ($CK2PH$ ed X_1 sono alimentati da V_H mentre C_1 e C_2 sono esterne).

ingressi (MUX) tramite il quale è possibile selezionare quale dei due clock utilizzare: CK_{FP} a 500 kilo-hertz (LP a '0') o CK_{LP} a 33 kilo-hertz (LP a '1'). Normalmente il circuito opera con CK_{FP} e passa a CK_{LP} solo quando viene selezionato, tramite il segnale di controllo LP , lo stato di funzionamento a basso consumo. In Fig. 2.26 viene invece riportato lo schema circuitale ed il dimensionamento del multiplexer.

**Figura 2.26:** Multiplexer.

In Fig. 2.27 viene riportato il layout completo del duplicatore di tensione realizzato. Il circuito presenta un'occupazione d'area di 0.36 millimetri quadrati, di cui gran parte dovuti ai transistor M_1 ed M_2 del charge pump ed al buffer. Tutti i transistor presentano contatti di substrato distanti non più di 40 micron l'uno dall'altro (prevenzione del latch-up) ed in ogni sottocircuito le varie aree attive sono state circondate da un anello di contatti di substrato dello stesso tipo (guard ring). Inoltre, i transistor particolarmente critici (transistor del charge pump e transistor d'uscita del buffer) sono stati circondati da un doppio guard ring, uno di tipo n ed uno di tipo p , con quello interno dello stesso tipo del substrato del transistor.

Nel circuito sono chiaramente visibili le tre piazzole (*pad*) relative ai terminali su cui saranno connesse le capacità esterne. Il circuito, infatti, é stato strutturato come cella di periferia ed entrerà a far parte della libreria di componenti analogici dell'ATMEL.

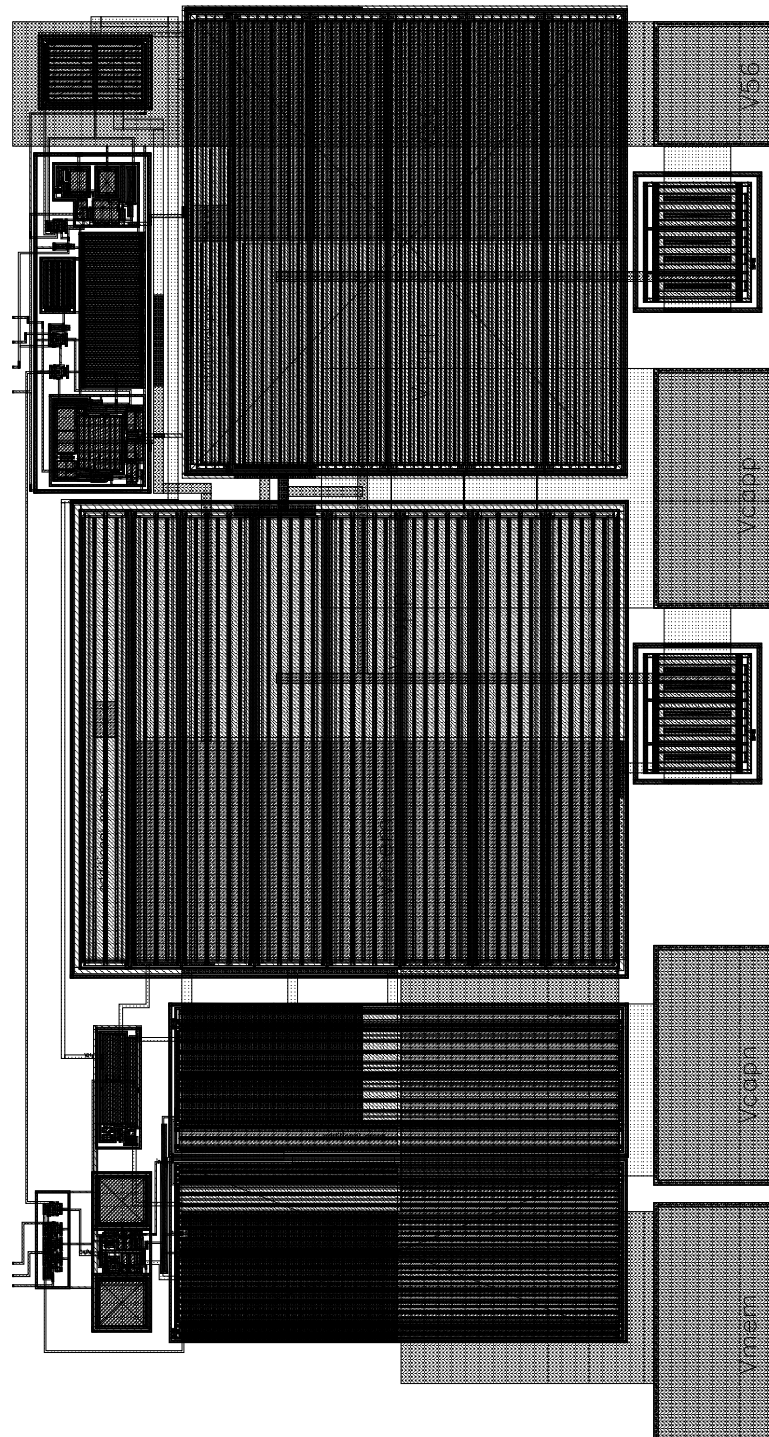


Figura 2.27: Layout del duplicatore di tensione realizzato (dimensioni: $825 \mu m \times 435 \mu m$).

2.8.1 Efficienza

L'efficienza del circuito a pieno carico ($I_{OUT} = 30$ milli-ampère) è pari al 79% per $V_{IN} = 2.75$ volt e sale all'84% per $V_{IN} = 2.85$ volt. Teoricamente l'efficienza non dovrebbe dipendere dalla tensione di alimentazione ma l'azione del circuito per la riduzione del consumo (che a pieno carico non entra in funzione per $V_{IN} = 2.75$ volt) fa sì che l'energia erogata dall'alimentazione sia minore per $V_{IN} = 2.85$ volt mentre l'energia erogata al carico risulta maggiore.

2.8.2 Risultati

Tutte le simulazioni sono state ripetute anche sugli schematici estratti dai layout e variando di volta in volta la tensione di alimentazione (tra 2.75 e 2.85 volt), la frequenza del clock (tra 400 e 600 kilo-hertz), la temperatura (tra -55 e 125 gradi) ed i parametri del modello del mos (caso migliore/peggiore per la velocità e/o potenza, etc.). Tutti i casi così testati (*corners*) hanno soddisfatto alle specifiche di progetto di Tab. 2.1.

Il circuito è stato realizzato e testato (i test sono ancora in corso) presso AT-MEL ed i primi risultati sperimentali confermano appieno i risultati ottenuti dalle simulazioni ed il rispetto delle specifiche di progetto.

2.9 Conclusioni

É stata presentata la realizzazione di una cella analogica di libreria che implementa un duplicatore di tensione. Il circuito fa parte di un progetto sviluppato per conto dell'ATMEL ed avente come obiettivo la realizzazione di un alimentatore integrato per il *power management* per telefoni cellulari. Il circuito si basa su un charge pump per cui é stata studiata una particolare architettura che consente di connettere le due capacità esterne richieste tramite tre soli terminali. Particolare attenzione é stata rivolta alla riduzione del consumo, in particolare del consumo in condizioni di stand-by (assenza di carico).

Il circuito, alimentato a 2.75 volt, é in grado di generare una tensione di circa 5.2 volt e di erogare una corrente di 30 milli-ampère. L'efficienza é superiore al 79%

mentre il consumo massimo é di poco superiore ai 70 milli-ampère. Tramite un'apposito circuito l'assorbimento di corrente viene dinamicamente ridotto al diminuire della corrente assorbita dal carico. Questo permette di ridurre di ben tre ordini di grandezza (da oltre 20 milli-ampère a poco più di 20 micro-ampère) il consumo in condizioni di stand-by (carico nullo).

Il circuito é stato realizzato in tecnologia CMOS ATMEL 0.35 μm da 3.3 volt con quattro livelli di metalizzazione e con uno speciale strato di ossido spesso per operare con tensioni superiori a 5 volt. Il circuito é stato testato presso i laboratori ATMEL di Rousset (Francia) ed i risultati confermano appieno la bontà del circuito e delle soluzioni adottate.

Bibliografia

- [1] J. F. Dickson. On-chip high-voltage generation in nmos integrated circuits using an improved voltage multiplier technique. *IEEE J. Solid-State Circuits*, SC-11:374–378, June 1976.
- [2] W. L. Martino *et al.* An on-chip back-bias generator for mos dynamic memory. *IEEE J. Solid-State Circuits*, SC-15:820–825, October 1980.
- [3] J. T. Wu *et al.* 1.2v cmos switch-capacitor circuits. *IEEE International Solid-State Circuits Conference*, pages 388–389, February 1996.
- [4] G. L. E. Monna *et al.* Charge pump for optimal, dynamic range filter. *IEEE International Symposium on Circuits and Systems*, pages 747–750, April 1995.
- [5] Y. Nakagome, H. T. Tanaka, K. Takeuchi, E. Kume, Y. Watanabe, T. Kaga, Y. Kawamoto, F. Murai, R. Izawa, D. Hisamoto, T. Kisu, T. Nishida, E. Takeda, and K. Itoh. An experimental 1.5 v 64 mb dram. *IEEE J. Solid-State Circuits*, 26:465–472, April 1991.
- [6] R. S. Muller and T. I. Kamins. *Device Electronics for Integrated Circuits*, pages 458–465. Wiley, 1986.
- [7] P. Favrat, P. Deval, and M. J. Declerq. A high-efficiency cmos voltage doubler. *IEEE J. Solid-State Circuits*, 33:410–416, March 1998.
- [8] P. E. Allen and D. R. Holberg. *CMOS Analog Circuit Design*. Saunders, 1987.
- [9] P. Favrat, P. Deval, and M. J. Declerq. A new high-efficiency cmos voltage doubler. *IEEE Custom Integrated Circuits Conference*, pages 259–262, 1997.

- [10] C.-C. Wang and J.-C. Wu. Efficiency improvement in charge pump circuits. *IEEE J. Solid-State Circuits*, 32:852–860, June 1997.

Capitolo 3

Convertitore A/D Ciclico con RSD Esteso

In questo capitolo viene presentato lo studio di un nuovo tipo di convertitore analogico/digitale ciclico. Il convertitore sfrutta una tecnica di conversione finora poco usata, l'algoritmo RSD, che consente, grazie alla ridondanza del codice, un rilassamento delle prestazioni richieste nella comparazione. In particolare, cosa finora mai sperimentata, si é generalizzato l'algoritmo RSD estendendolo a più di 1 bit per ciclo.

La nuova tecnica di conversione é stata sperimentata su un convertitore ciclico a 10 bit, operante su 2 cicli da 5 bit ciascuno. L'architettura é costituita da un convertitore A/D flash con RSD esteso a 5 bit e da un MDAC, il tutto adattato ed ottimizzato per sfruttare al meglio le potenzialità e le peculiarità dell'algoritmo RSD. Il convertitore é stato testato tramite simulazioni MATLAB ed Hspice, cercando di mettere in luce pregi e difetti del nuovo tipo di convertitore.

Il convertitore è orientato ad applicazioni a bassa dissipazione di potenza ed a media risoluzione (10 bit), per cui una possibile applicazione è costituita dai dispositivi elettronici di ausilio all'udito.

3.1 Conversione Ciclica Classica

Un convertitore ciclico é costituito, nella sua forma base, da un convertitore A/D ad 1 bit inserito in un anello di retroazione. Ad ogni ciclo il convertitore genera 1 bit, a partire dal più significativo e via via fino al meno significativo, che andrà a formare il codice finale.

In Fig. 3.1 viene presentato il diagramma di flusso dell'algoritmo di conversione ciclica classica. Il numero dei cicli dipende dal numero di bit con cui si converte la

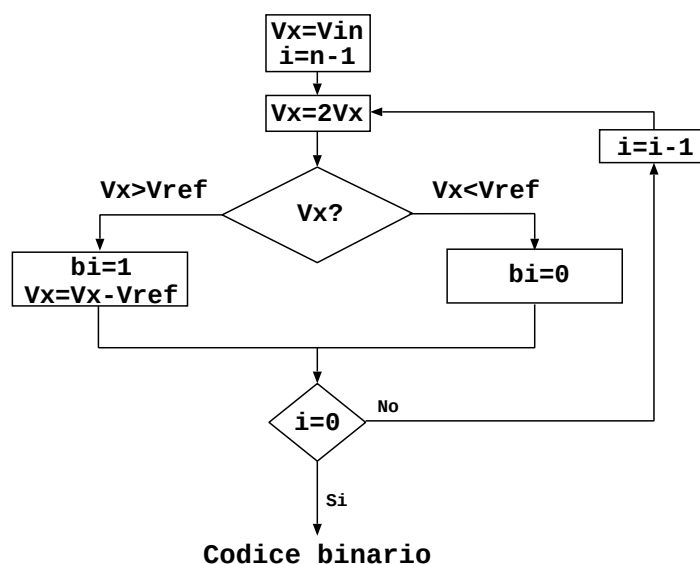


Figura 3.1: Diagramma di flusso della conversione ciclica classica.

tensione d'ingresso.

La tensione da convertire V_{in} viene moltiplicata per due, e tale nuova tensione V_x viene confrontata con la tensione di riferimento V_{ref} , massima tensione d'ingresso convertibile. Se V_x é maggiore o minore della tensione di riferimento il bit i -esimo viene messo ad uno od a zero. Si decrementa l'indice di uno, alla tensione V_x viene sottratta V_{ref} nel caso $V_x > V_{ref}$, mentre non viene fatto niente nel caso contrario. Tale tensione, detta resto o residuo, costituisce il nuovo ingresso analogico da convertire, ed il ciclo si ripete. La conversione termina quando viene ottenuto l'ultimo bit (il meno significativo).

3.1.1 Diagramma di Robertson

Un utile strumento grafico per studiare i convertitori ciclici è il diagramma di Robertson, che visualizza l'evoluzione del resto durante i cicli di conversione. Con esso è anche possibile analizzare il comportamento del convertitore in presenza di non idealità.

In Fig. 3.2 viene presentato il diagramma di Robertson relativo alla conversione ciclica classica. La curva caratteristica è costituita da una linea spezzata con pen-

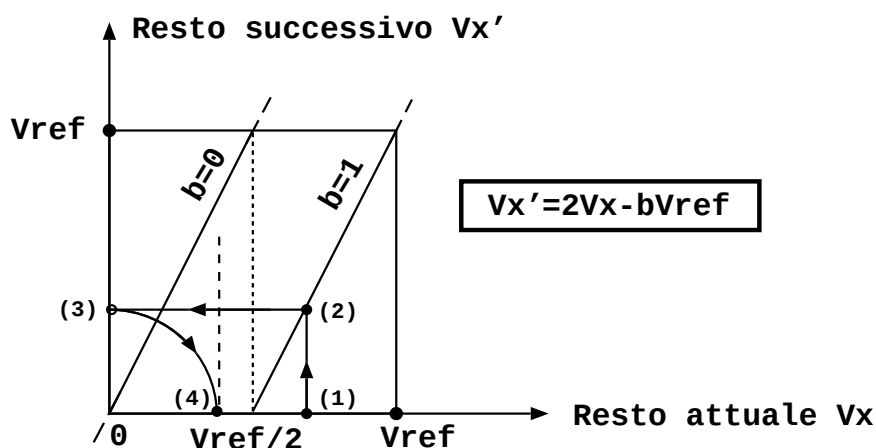


Figura 3.2: Diagramma di Robertson relativo alla conversione ciclica classica.

denza pari a 2 (guadagno del convertitore) e dove il punto di rottura corrisponde a metà della tensione di riferimento. Sull'asse delle ordinate viene riportato il nuovo residuo calcolato in funzione del residuo precedente, riportato sull'asse delle ascisse. La conversione viene effettuata graficamente come segue:

- il segnale d'ingresso V_x viene riportato sull'asse delle ascisse nel punto (1);
- una linea verticale viene tracciata a partire da V_x ed intercetta la caratteristica in (2);
- una linea orizzontale tracciata a partire da (2) intercetta l'asse delle ordinate in (3), che corrisponde al nuovo residuo;
- il residuo viene riportato sull'asse delle ascisse, in (4), ed il ciclo si ripete.

Il residuo successivo scaturisce dall'equazione

$$V'_x = 2V_x - bV_{ref},$$

dove b è il valore del bit al passo i -esimo, mentre V_x è il valore del residuo attuale.

3.1.2 Esempio numerico

Nel seguente specchietto viene riportato un esempio numerico relativo al caso $V_{in} = 0.61$ volt ($n=6$ bit e $V_{ref}=1$ volt)

i	V_x	$V_x > \frac{V_{ref}}{2}$	b_i	$V_x = 2V_x - bV_{ref}$
5	0.61	si	1	0.22
4	0.22	no	0	0.44
3	0.44	no	0	0.88
2	0.88	si	1	0.76
1	0.76	si	1	0.52
0	0.52	si	1	—

Il codice d'uscita è quindi $[1, 0, 0, 1, 1, 1]_{binario}$, corrispondente alla tensione

$$V_{conv} = 1 \cdot 2^{-1} + 0 \cdot 2^{-2} + 0 \cdot 2^{-3} + 1 \cdot 2^{-4} + 1 \cdot 2^{-5} + 1 \cdot 2^{-6} = 0.609375$$

Per ridurre l'errore di conversione occorre aumentare il numero di bit.

3.1.3 Range d'Ingresso

La conversione ciclica classica può convertire solo segnali compresi nell'intervallo $[0, V_{ref}]$. Infatti, come si vede in Fig. 3.3, se la tensione da convertire è maggiore di V_{ref} o minore di zero, le rette vengono intercettate fuori dall'area di convergenza, il residuo diverge e l'errore di quantizzazione eccede 1 LSB. Per la conversione di segnali negativi occorre prima fare un confronto con lo zero, settare il bit del segno quindi prendere il modulo del segnale ed invertirlo se negativo, ottenendo così una rappresentazione in modulo e segno.

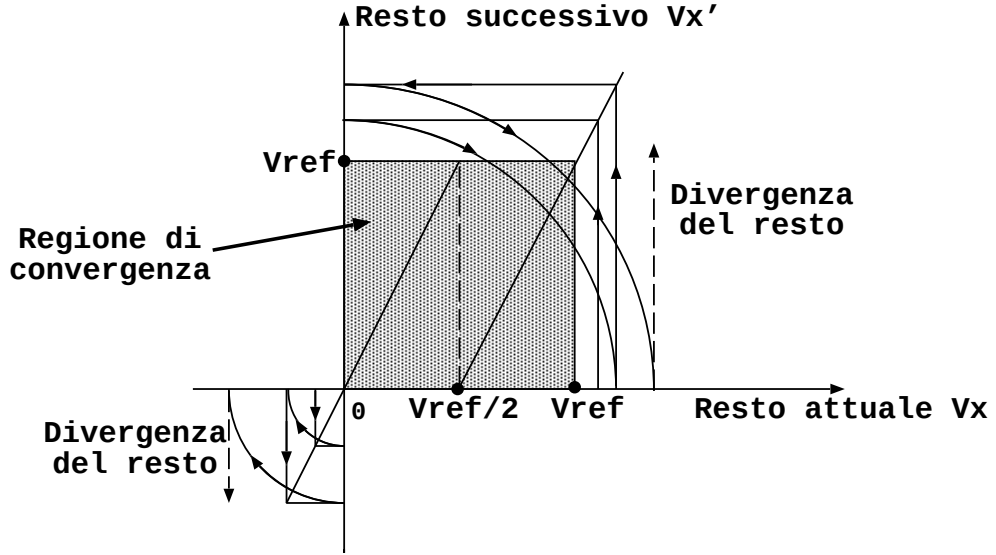


Figura 3.3: Limiti di convergenza per la conversione ciclica classica.

3.2 Conversione Ciclica RSD

L'algoritmo RSD permette di rilassare, a parità di prestazioni, richieste ai comparatori del convertitore. Infatti, per realizzare un convertitore ciclico classico occorrono comparatori con precisione pari ad $\frac{LSB}{2}$, specifica questa molto stringente.

Il codice RSD (*Reduntant Signed Digit*) è un particolare sistema di numerazione posizionale [1] normalmente usato nei circuiti digitali per semplificare la propagazione del resto [2]. A differenza del codice binario classico, il singolo elemento b_i del codice RSD può assumere tre differenti valori, -1, 0, e +1. Il più piccolo numero rappresentabile è

$$[-1, -1, \dots, -1]_{RSD} \Rightarrow \sum_{i=0}^{n-1} -1 \cdot 2^i = 1 - 2^n,$$

mentre il numero più grande rappresentabile è

$$[+1, +1, \dots, +1]_{RSD} \Rightarrow \sum_{i=0}^{n-1} +1 \cdot 2^i = 1 - 2^n.$$

Il range del segnale è quindi pari a

$$2^{n-1} - (1 - 2^n) = 2^{n+1} - 2.$$

Dall'equazione si nota che, per n grande, il codice RSD ad n bit é equivalente ad un codice binario ad $n+1$ bit. Questa particolarità é dovuta alla ridondanza presenta nella rappresentazione RSD. Infatti un numero, per esempio il 17, può avere diverse rappresentazioni

$$\begin{array}{rcl}
 [1 & -1 & 1 & -1 & -1 & -1] & 32 - 16 + 8 - 4 - 2 - 1 = 17 \\
 [0 & 1 & 0 & 0 & 0 & 1] & 16 + 1 = 17 \\
 [1 & -1 & 0 & 0 & 1 & -1] & 32 - 16 + 2 - 1 = 17
 \end{array}$$

In Fig. 3.4 viene presentato il diagramma di flusso dell'algoritmo di conversione RSD. Assegnata la tensione da convertire V_{in} , interna al range $[-\frac{V_{ref}}{2}, +\frac{V_{ref}}{2}]$, dove

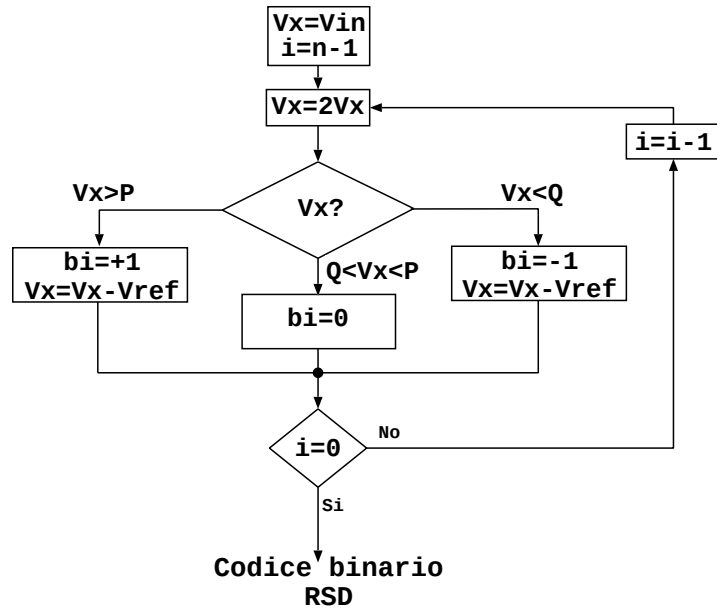


Figura 3.4: Diagramma di flusso dell'algoritmo di conversione RSD.

V_{ref} rappresenta il valore del modulo della tensione massima convertibile, ed inizializzato l'indice i ad $n-1$, la tensione viene moltiplicata per due e confrontata stavolta con due soglie, $P = \frac{V_{ref}}{2}$ e $Q = -\frac{V_{ref}}{2}$. Le tre possibili operazioni successive sono:

- se $V_x > P$ il bit viene posto a +1 e si ottiene il residuo successivo sottraendo V_{ref} a V_x ;

- se $V_x < Q$ il bit viene posto a -1 e si ottiene il residuo successivo sommando V_{ref} a V_x ;
- se $Q < V_x < P$ il bit viene posto a 0 ed il residuo successivo è pari a V_x .

Si procede in questo modo fino all'ottenimento dell'ultimo bit.

3.2.1 Diagramma di Robertson

In Fig. 3.5 viene presentato il diagramma di Robertson relativo alla conversione RSD. Anche in questo caso la caratteristica è costituita da una linea spezzata con

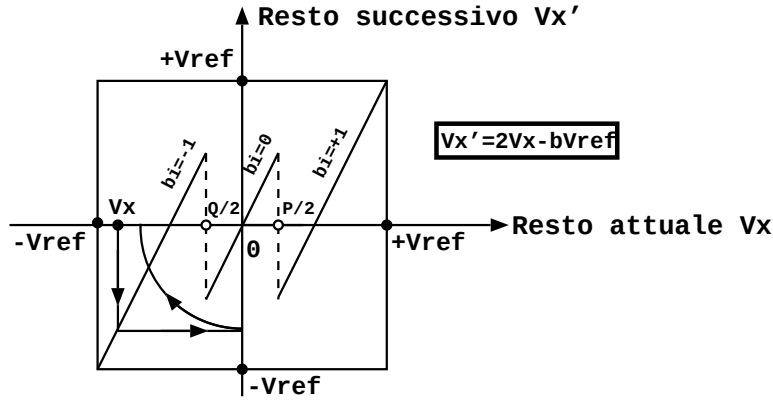


Figura 3.5: Diagramma di Robertson relativo alla conversione RSD.

pendenza pari a 2, ma stavolta i punti di rottura sono due, $-\frac{V_{ref}}{2}$ e $+\frac{V_{ref}}{2}$, mentre la zona di conversione è compresa tra $-V_{ref}$ e $+V_{ref}$. Il grafico si legge in maniera identica però si hanno tre diverse intercette, corrispondenti ai tre possibili valori che b_i può assumere.

Diversamente dalla rappresentazione di Fig. 3.4, le due soglie sono

$$\begin{aligned}\frac{P}{2} &= +\frac{V_{ref}}{4} \\ \frac{Q}{2} &= -\frac{V_{ref}}{4}.\end{aligned}$$

Le soglie sono una positiva ed una negativa, permettendo così di implementare facilmente la conversione di segnali sia positivi che negativi.

3.2.2 Esempio numerico

Nel seguente specchietto viene riportato un esempio numerico di conversione RSD, relativo a $V_{in} = 0.27$ volt ($n = 6$ bit, $V_{ref} = 1$ volt e le due soglie pari a $\frac{P}{2} = \frac{V_{ref}}{4} = 0.25$ volt e $\frac{Q}{2} = -\frac{V_{ref}}{4} = -0.25$ volt).

i	V_x	$V_x < \frac{Q}{2}$	$\frac{Q}{2} < V_x < \frac{P}{2}$	$V_x > \frac{P}{2}$	b_i	$V_x = 2V_x - bV_{ref}$
5	0.27	no	no	sì	+1	-0.46
4	-0.46	sì	no	no	-1	0.08
3	0.08	no	sì	no	0	0.16
2	0.16	no	sì	no	0	0.32
1	0.32	no	no	sì	+1	-0.36
0	-0.36	sì	no	no	+1	—

Il codice generato é quindi $[+1, -1, 0, 0, +1, -1]$, corrispondente a 0.265625 volt.

3.3 Effetto delle Non Idealità

Fin'ora sono stati trascurati gli effetti delle non idealità presenti se si considera un circuito reale. Considerando anche questi effetti il residuo successivo, approssimato in serie di Taylor all'ordine n , assume la forma

$$V'_x = [2(1 + \varepsilon_1)V_x - bV_{ref}] + [\varepsilon_0 + \varepsilon_2 V_x^2 + \dots + \varepsilon_n V_x^n]$$

I coefficienti ε_i tengono conto dei comportamenti reali riscontrati nei circuiti, ossia

- ε_0 rappresenta l'errore dovuto all'offset;
- ε_1 rappresenta l'errore di guadagno;
- ε_i con $i > 1$ rappresentano gli errori di non linearità.

3.3.1 Errore sulla Comparazione

La massima tensione di offset ammessa può essere trovata ragionando sul DNL per il codice $[0,0,...0]$, dove si ha la situazione più critica. La minima tensione di segnale che produce un codice positivo é

$$V_{in} > V_{off} \Rightarrow V_{in,min} = V_{off},$$

mentre la massima tensione che produce un codice $[0,0,...,0]$ é

$$2^{n-1} V_{in} < V_{ref} + V_{off} \Rightarrow V_{in,max} = 1 \text{ LSB} + 2^{1-n} V_{off}.$$

Quindi l'errore di DNL per il codice $[0,0,...0]$ é pari a

$$V_{in,max} - V_{in,min} - 1 \text{ LSB} = (2^{1-n} - 1) V_{off} \simeq -V_{off}.$$

Per raggiungere una risoluzione piena (n bit effettivi), un ciclico Classico richiede comparatori con accuratezza pari a $\frac{1}{2}$ LSB (con una risoluzione di 13 bit ed un range dinamico di ± 1 volt sarebbe richiesta un'accuratezza pari a 60 micro-volt!). Questo richiede comparatori molto sofisticati ad alto guadagno e basso rumore, e l'utilizzo di tecniche di cancellazione dell'offset. Queste sono le maggiori cause che limitano la progettazione di convertitori ciclici classici ad alta risoluzione.

I convertitori RSD invece ridimensionano notevolmente questo problema, permettendo l'utilizzo di comparatori molto meno sofisticati. Lo si può vedere confrontando i diagrammi di Robertson nei due casi specifici, considerando il disturbo costituito dall'offset. In Fig. 3.6 si é simulato un offset sui comparatori che sposta la soglia di decisione da $\frac{V_{ref}}{2}$ a $\frac{V_{ref}}{2} + V_{off}$. Se durante un ciclo di conversione la tensione da convertire é prossima a $\frac{V_{ref}}{2}$ (come nell'esempio) il resto esce dal range $[0, V_{ref}]$ e diverge. Il convertitore RSD si comporta in maniera molto differente. Infatti come mostrato in Fig. 3.7, l'offset genera sicuramente uno spostamento della soglia da $\frac{P}{2}$ a $\frac{P}{2} + V_{off}$, ma per le caratteristiche del diagramma di Robertson ciò non fa divergere il resto.

In conclusione possiamo affermare che i convertitori ciclici classici sono più sensibili rispetto agli RSD all'errore di comparazione, e richiedono quindi specifiche molto più stringenti per i comparatori.

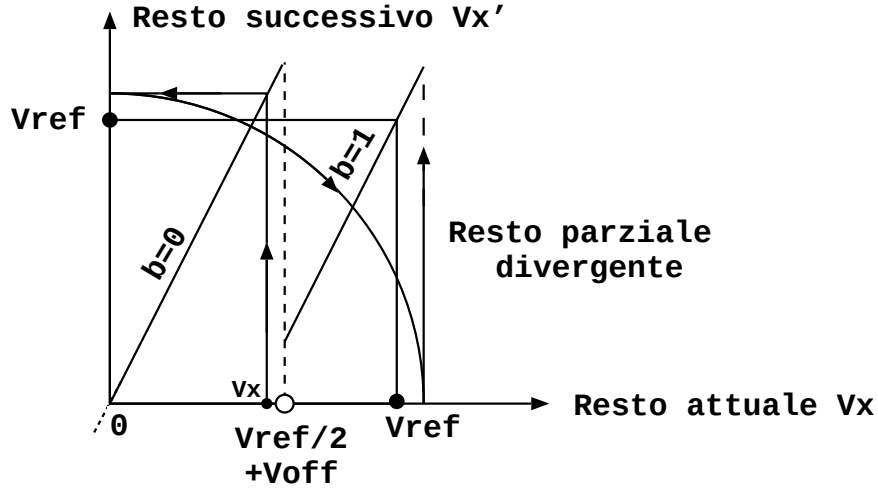


Figura 3.6: Diagramma di Robertson di un convertitore ciclico classico in presenza di un offset dei comparatori.

3.3.2 Errore di Offset

L'offset dei convertitori si traduce graficamente in uno spostamento orizzontale dei grafici per un valore pari ad ε_0 . Nel caso del ciclico classico ciò significa ancora una volta osservare fenomeni di divergenza in prossimità di $\frac{V_{ref}}{2}$, mentre nel caso RSD il dominio di convergenza si sposta semplicemente (vedi Fig. 3.8). Questo è un altro punto di forza dell'algoritmo RSD nei confronti dei convertitori classici.

3.3.3 Errore di Guadagno

La moltiplicazione per 2 del resto è il passo più critico riguardante le prestazioni dei convertitori ciclici. Il problema della moltiplicazione può essere rappresentata matematicamente con l'introduzione di una costante ε_1 che tiene conto dell'errore di guadagno: la moltiplicazione per due del resto diviene

$$V'_x = 2(1 + \varepsilon_1) V_x.$$

Consideriamo un passo generico i del ciclo di conversione, l'equazione diviene

$$V_{x(i)} = 2(1 + \varepsilon_1) V_{x(i-1)} - b_{n-i} V_{ref}$$

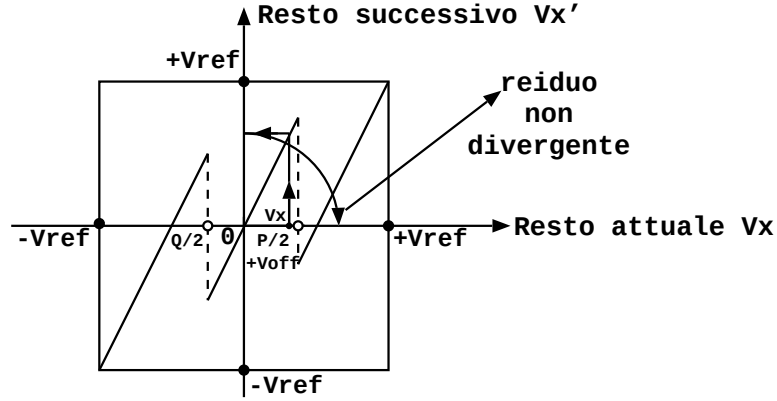


Figura 3.7: Diagramma di Robertson di un convertitore RSD in presenza di un offset dei comparatori.

e la tensione finale avrà quindi l'espressione

$$V_{x(n)} = V_{in} [2(1 + \varepsilon_1)]^{n-1} - V_{ref} \sum_{i=0}^{n-2} b_i 2^i (1 + \varepsilon_1)^i.$$

Questa equazione permette di valutare l'uscita analogica finale per qualunque codice, consentendo un'agevole analisi dell'errore differenziale dovuto all'errore di guadagno. Le conseguenze immediatamente osservabili sono due:

1. Si ha una variazione della pendenza della funzione di trasferimento, mentre l'LSB viene modificato in $LSB' = \frac{V_{ref}}{[2(1+\varepsilon_1)]^{n-1}}$.
2. Una variazione nei pesi dei bit, che determinano la non linearità della funzione di trasferimento.

Il caso peggiore si ha nella transizione del bit più significativo. Analizziamo separatamente le due tecniche di conversione.

Caso Convertitore Ciclico Classico

In una rappresentazione in modulo e segno ad n bit, dove b_{n-1} è il bit di segno e $b_{n-2} \dots b_0$ è il modulo, la transizione critica si ha tra i codici $[0,1,0,\dots,0]$ e $[0,01,1,\dots,1]$. I corrispondenti valori analogici sono

$$[0, 1, 0, 0, \dots, 0] \Rightarrow V_{x(n)} = [2(1 + \varepsilon_1)]^{n-2} V_{ref} [2(1 + \varepsilon_1)]^{1-n}$$

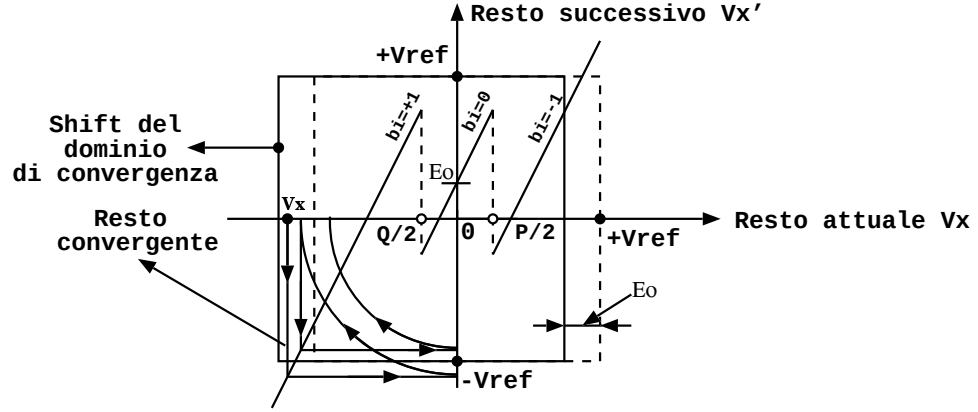


Figura 3.8: Diagramma di Robertson per un convertitore RSD affetto da errore di offset ε_0 .

$$\begin{aligned}
 &\simeq \left[2^{n-2} + \varepsilon_1 (n-2) 2^{n-2} \right] LSB' \\
 [0, 0, 1, 1, \dots, 1] &\Rightarrow V_{x(n)} = \sum_{i=0}^{n-3} 2^i (1 + \varepsilon_1)^i V_{ref} [2(1 + \varepsilon_1)]^{1-n} \\
 &\simeq \left[\sum_{i=0}^{n-3} 2^i + \varepsilon_1 \sum_{i=0}^{n-3} 2^i \right] LSB' \\
 &= \left\{ 2^{n-2} - 1 + \varepsilon_1 [(n-4) 2^{n-2} + 2] \right\} LSB'
 \end{aligned}$$

Sottraendo i due valori si ottiene $[1 + (2^{n-1} - 2) \cdot \varepsilon_1] LSB'$. Idealmente questo dovrebbe valere 1 LSB, così il termine $(2^{n-1} - 2) \cdot \varepsilon_1$ rappresenta proprio l'errore di DNL.

Caso RSD

Nei convertitori RSD la transizione critica avviene tra il codice $[1, -1, 0, 0, \dots, 0]$ ed il $[0, 1, 0, 0, \dots, -1]$ in una rappresentazione RSD ad $n-1$ bit ($b_{n-2} = MSB$ ed $b_0 = LSB$), corrispondenti a n bit classici. Il corrispondente valore analogico sarà

$$[1, -1, 0, 0, \dots, 0] \Rightarrow V_{x(n)} = \left\{ [2(1 + \varepsilon_1)]^{n-2} - [2(1 + \varepsilon_1)]^{n-3} \right\} LSB'$$

$$[0, 1, 0, 0, \dots, -1] \Rightarrow V_{x(n)} = \left\{ [2(1 + \varepsilon_1)]^{n-3} - 1 \right\} LSB'$$

Sottraendo i due valori si ottiene $(1 + 2^{n-2}\varepsilon_1)LSB'$. L'errore differenziale associato alla transizione del MSB sarà quindi pari a $2^{n-2}\varepsilon_1$. Si noti come l'errore sia praticamente la metà del caso classico.

3.3.4 Errori di Non Linearità

Gli errori di non linearità di ordine superiore al primo, sono molto difficili da analizzare se non con simulazioni al computer, riportando su grafici l'errore DNL ed INL in funzione del codice binario.

3.3.5 Confronto fra Ciclico Classico ed RSD.

Nella seguente tabella vengono riportate le specifiche, in termini di errori di non idealità, richieste ai due tipi di convertitori.

Non Idealità	Classico	RSD
Errore di comparazione	$< 0.5 LSB$	$< 0.5 V_{ref}$
Errore di offset ε_0	$< 0.5 LSB$	$< 0.5 V_{ref}$
Errore di guadagno ε_1	$< 1/2^n$	$< 1/2^{n-1}$

Si noti come l'RSD presenta una minore sensibilità rispetto tutti i tipi di errori di non idealità che si possono presentare. Quello che succede con l'RSD é che gli intervalli in cui viene suddiviso il range dinamico sono più piccoli (quindi anche più numerosi, 3 contro 2) di quelli che si hanno nel caso di un convertitore ciclico classico (ampi 0.5 volte il range dinamico). Questo fa sì che la parte di range dinamico amplificata (per 2) sia maggiore dell'intervallo individuato. In altre parole vengono amplificati anche parte degli intervalli adiacenti e quindi le zone prossime alle soglie verranno considerati al ciclo successivo qualunque l'intervallo, tra i due adiacenti,

sia da amplificare. Se quindi un segnale è prossimo ad una delle soglie al ciclo successivo rimarrà all'interno del range dinamico anche nel caso che il comparatore sbagli nel determinare l'intervallo di appartenenza. Questo spiega perchè uno stesso valore può essere rappresentato con diverse combinazioni del codice (il codice RSD è ridondante). L'importante è che l'errore non sia tale da selezionare un intervallo diverso dai due adiacenti la soglia su cui il comparatore deve discriminare, cioè che l'errore di comparazione non sia maggiore dell'intervallo stesso, pari a $\frac{V_{ref}}{2}$ (ovviamente ci si riferisce all'intervallo compreso tra due soglie e non a quelli agli estremi del range dinamico).

Si noti, inoltre, che con l'RSD raddoppia il numero delle soglie e quindi dei comparatori.

3.4 RSD Esteso

Fino ad oggi l'uso dell'algoritmo RSD nel processo di conversione analogico/digitale è sempre stato limitato all'implementazione di una singola cella ad 1 bit che, inserita in un anello di reazione, era in grado di generare il codice binario finale ad N bit in $N-1$ cicli, ad ognuno dei quali contribuiva con 1 bit. In pratica, si è sempre utilizzato l'RSD solo per realizzare convertitori ciclici ad N cicli da 1 bit ciascuno. Quello che ci si propone ora è di estendere l'RSD a più bit, cioè utilizzare l'RSD per realizzare convertitori ciclici ad M cicli di $n > 1$ bit ciascuno. Il codice finale sarà costituito da $N = M \cdot n$ bit.

In primo luogo occorre definire le soglie di decisione, le quali si ricavano in maniera simile al caso ad 1 bit. Per facilitare la comprensione definiamo i seguenti parametri, considerando un range di conversione differenziale, con V_{ref} valore assoluto della massima tensione convertibile

- $\Delta V_{soglia} = \frac{2 \cdot V_{ref}}{2^n}$, distanza tra due soglie considerando la conversione binaria classica ad n bit;
- $S_i = i \cdot \Delta V_{soglia}$, con i variabile tra $2^{n-1}-1$ e $2^{n-1}-1$, valore della soglia i -esima nella conversione binaria classica ad n bit.

Le soglie RSD si ottengono sdoppiando le soglie S_i , nel seguente modo

$$\begin{aligned} P_i &= S_i + \frac{\Delta V_{soglia}}{4} \\ Q_i &= S_i - \frac{\Delta V_{soglia}}{4}, \end{aligned}$$

generando così $2^{n+1} - 1$ intervalli.

In secondo luogo occorre dare una corretta rappresentazione binaria degli intervalli ottenuti. Nel caso binario convenzionale numero di bit e numero d'intervalli sono strettamente correlati, per n bit si hanno 2^n intervalli. Nel caso RSD avendo a disposizione i valori 1, 0 e -1 con n bit si possono ottenere $2^{n+1} - 1$ combinazioni non ridondanti, ossia con valore decimale differente. Poichè gli intervalli da rappresentare sono proprio $2^{n+1} - 1$, anche nella rappresentazione RSD si utilizzano n bit. L'assegnazione viene fatta riferendosi all'intervallo centrale I_0 , scaturito da S_0 , identificato dal codice $[0, 0]_{RSD} = 0_{dec}$, mentre gli altri vengono identificati con il seguente criterio

- intervalli superiori a $I_0 \Rightarrow$ codice RSD crescente;
- intervalli inferiori a $I_0 \Rightarrow$ codice RSD decrescente.

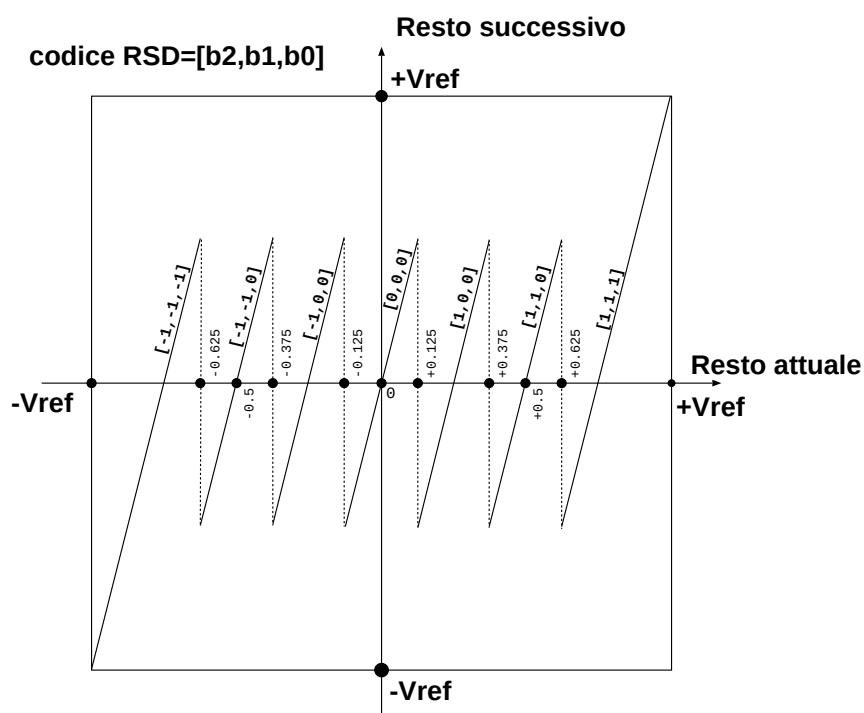
In Fig. 3.9 è mostrato un esempio per $n=2$, con $V_{ref}=1$ volt. Come si nota anche dalla figura, a causa della ridondanza uno stesso intervallo può essere identificato da più codici.

Vediamo ora i passi che ci portano alla conversione di una tensione V_{in} .

1. V_{in} viene confrontata con le soglie;
2. individuato l'intervallo, si immagazzinano gli n bit che lo identificano;
3. si genera il resto secondo l'equazione

$$V'_x = V_x - \sum_{i=0}^{n-1} b_i V_{ref},$$

dove con b_i si intende l' i -esimo bit del codice identificato nella conversione precedente;



$[b_1, b_0]$	$V'_x = 2^2 V_x - \sum_{i=0}^1 b_i V_{ref}$	Intervallo di appartenenza
$[-1, -1]$	$V_x = 2^2 V_x + 3$	$[-1, -0.625]$
$[-1, 0]$	$V_x = 2^2 V_x + 2$	$[-0.625, -0.375]$
$[0, -1]$ o $[-1, +1]$	$V_x = 2^2 V_x + 1$	$[-0.375, -0.125]$
$[0, 0]$	$V_x = 2^2 V_x - 0$	$[-0.125, +0.125]$
$[0, +1]$ o $[+1, -1]$	$V_x = 2^2 V_x - 1$	$[+0.125, +0.375]$
$[+1, 0]$	$V_x = 2^2 V_x - 2$	$[+0.375, +0.625]$
$[+1, +1]$	$V_x = 2^2 V_x - 3$	$[+0.625, +1]$

Figura 3.10: Diagramma di Robertson per un convertitore RSD ad $n=2$ bit.

- blocco sommatore/moltiplicatore.

La conversione del segnale si completa nelle seguenti tre fasi:

1. campionamento del segnale V_{in} (interruttore aperto);
2. mantenimento e conversione A/D del segnale ad opera del convertitore flash, che genera i primi n bit più significativi (interruttore in posizione 2);
3. conversione D/A dei primi n bit ottenuti e loro sottrazione al segnale V_{in} . Il resto, moltiplicato per 2^n , viene convertito in digitale ad opera del convertitore flash, generando così gli ultimi n bit meno significativi (interruttore in posizione 3).

Il vantaggio principale di questa architettura rispetto all'utilizzo di un solo convertitore flash ad $2n$ bit é il grosso risparmio in termini di spazio occupato e di potenza consumata. Lo svantaggio principale é, invece, la velocità di conversione, che si dimezza.

Un'architettura più evoluta é riportata in Fig. 3.12 [3]. La struttura del con-

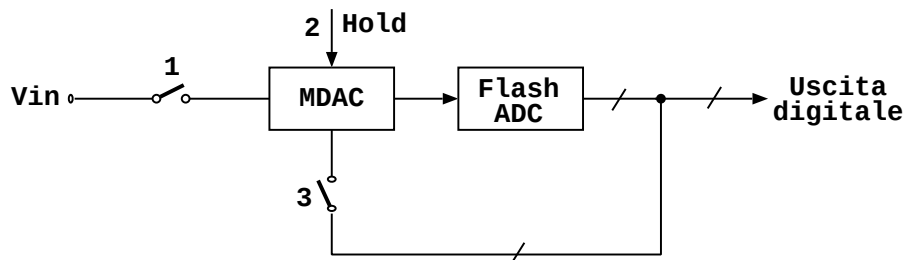


Figura 3.12: Schema a blocchi del convertitore ciclico con MDAC.

vertitore é stata ulteriormente compattata grazie all'inserimento di un particolare blocco circuitale denominato MDAC, il quale incorpora Sample/Hold, blocco sommatore/moltiplicatore e convertitore D/A. La conversione completa del segnale si ottiene sempre in tre fasi ma variano le modalità di sottrazione, moltiplicazione e conversione D/A.

3.6 Convertitore Flash ad n bit

In Fig. 3.13 viene rappresentato un flash a 2 bit convenzionale, che genera in uscita un codice di tipo termometrico. Per n bit si hanno $2^n - 1$ soglie, distanti $\frac{2V_{ref}}{2^n}$,

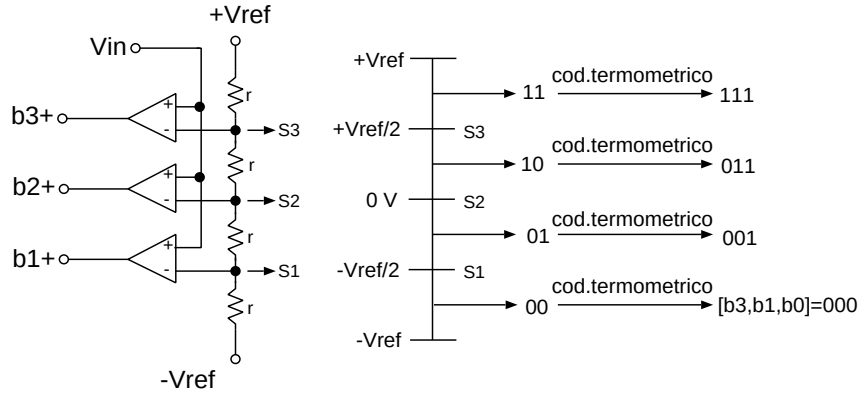


Figura 3.13: Flash a 2 bit convenzionale.

generate tramite un partitore di tensione.

Il convertitore flash che si intende implementare, invece, si basa sull'algoritmo RSD esteso. Ricordando quanto visto nel § 3.4 le soglie per un convertitore RSD esteso ad n bit possono essere generate tramite un partitore costituito da $2^{n+1} - 1$ resistenze, di cui la prima e l'ultima di valore $1.5R$ mentre tutte le altre sono di valore R . In Fig. 3.14 viene presentato il caso con 2 bit. Si noti come i comparatori del blocco B hanno gli ingressi invertiti rispetto a quelli del blocco A , e funzionano con la seguente logica:

- $Q_1 < V_{in} < P_1 \Rightarrow b_j \pm = 0$ con $j = 1, \dots, 2^n - 1$;
- $V_{in} > P_i$ con $i > 1 \Rightarrow b_j + = 1$ per $j = +1, \dots, i$, mentre i rimanenti $b_j +$ e tutti i $b_j -$ vanno a zero;
- $V_{in} < Q_i$ con $i > 1 \Rightarrow b_j = 1$ per $j = -1, \dots, -i$, mentre i rimanenti $b_j -$ e tutti i $b_j +$ vanno a zero;

Il codice termometrico in uscita é bidirezionale ed il bit b_i del codice RSD può essere ricavato utilizzando solamente i bit $b_i +$ e $b_i -$ (vedi Fig. 3.15). Nel caso si utilizzi

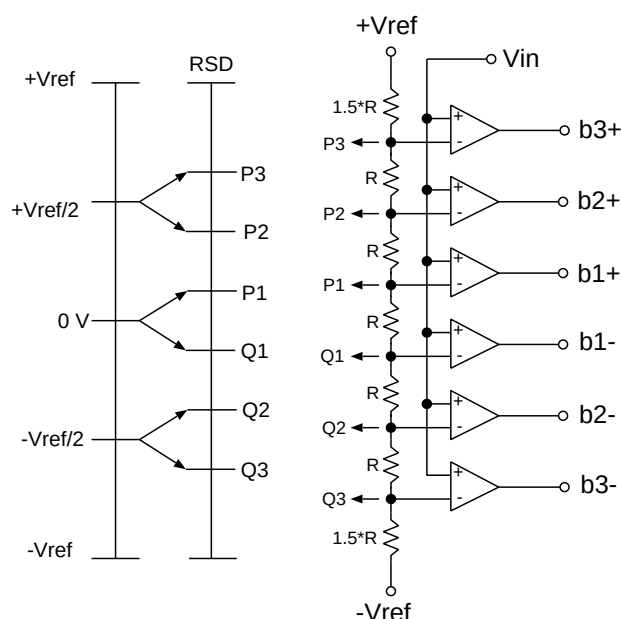


Figura 3.14: Flash RSD esteso a 2 bit.

una struttura differenziale (cosa che si fa normalmente) si avranno a disposizione sia il segnale che il suo inverso. Questo permette di semplificare ulteriormente la struttura del convertitore flash. In Fig. 3.16 viene presentata la struttura finale del flash, a 5 bit e caratterizzata da 62 comparatori e 32 resistenze. L'introduzione della componente negativa del segnale ha permesso di eliminare le soglie negative, con il conseguente dimezzamento del numero di resistenze utilizzate. A livello di layout questo porta ad un grosso risparmio di spazio.

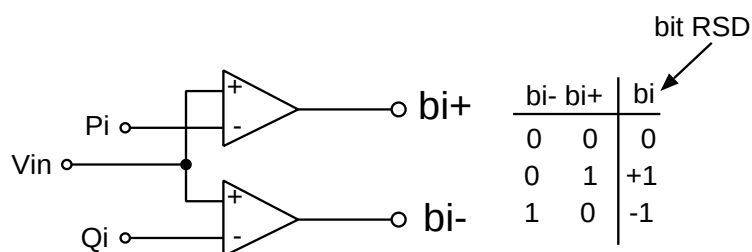


Figura 3.15: Generazione del bit b_i RSD a partire da b_{i+} e b_{i-} (passaggio dal codice termometrico bidirezionale al codice RSD).

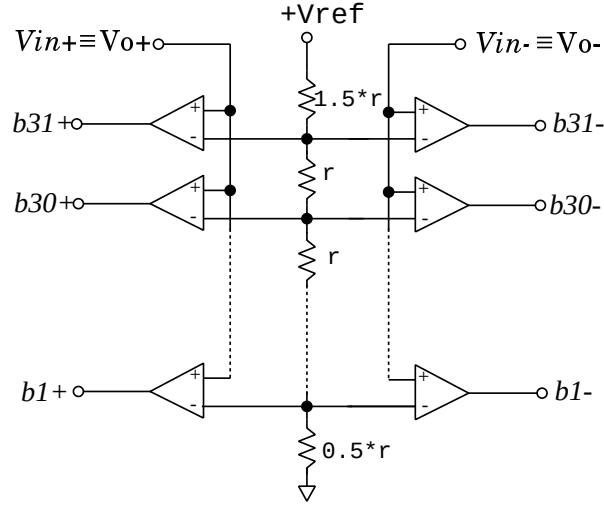


Figura 3.16: Struttura finale del convertitore flash implementato (5 bit).

3.6.1 Comparatori

Poiché l'RSD é molto robusto agli errori di comparazione a livello realizzativo si può sfruttare questa caratteristica utilizzando comparatori molto semplici e compatti, a tutto vantaggio dell'occupazione d'area e del consumo di potenza. Il risparmio in termini d'area é tale da compensare il fatto che sono necessari un numero doppio di comparatori. In Fig. 3.17 viene presentato lo schema circuitale dei comparatori utilizzati. La struttura proposta é di tipo differenziale, ed é costituita da due blocchi funzionali, il primo costituito da un preamplificatore ed il secondo da un latch. Il funzionamento del comparatore, regolato dai due clock rappresentati in Fig. 3.18 é il seguente:

***pr* 'alto':** quando il segnale *pr* é alto i transistor m_9 ed m_{10} sono spenti ed il latch non é alimentato. Gli interruttori *sw1* e *sw2* sono chiusi e connettono l'amplificatore differenziale al latch. La commutazione del comparatore viene velocizzata se le uscite del preamplificatore sono uguali all'inizio della comparazione per cui é stato aggiunto un interruttore, pilotato da *prsw*, che cortocircuita le suddette uscite. L'interruttore é normalmente chiuso (*prsw* basso) e viene aperto dopo la fase di acquisizione/amplificazione, garantendo così le condizioni di equipotenzialità. Le uscite dell'amplificatore sono imposte

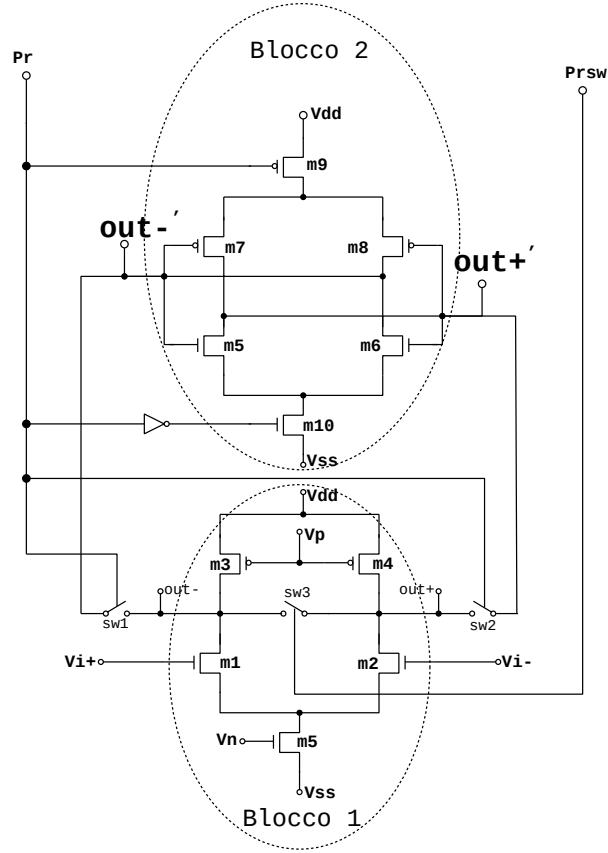


Figura 3.17: Schema del comparatore utilizzato.

come ingressi del latch, in quanto gli interruttori $sw1$ e $sw2$ in questa fase sono chiusi.

***pr* ‘basso’:** quando pr é basso vengono aperti gli interruttori $sw1$ e $sw2$ disaccoppiando il preamplificatore dal latch, al quale si ripristina l’alimentazione accendendo i transistor m_9 e m_{10} .

3.7 MDAC

Per spiegare il funzionamento dell’MDAC ci avvaliamo dello schema semplificato di Fig. 3.19, in cui viene presentato un convertitore A/D ciclico classico a $2n$ bit. É costituito da un array di $n+1$ capacitori con peso binario e da un amplificatore

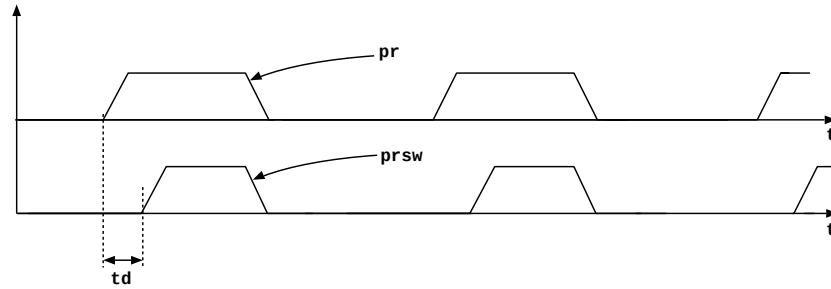


Figura 3.18: Clock di controllo dei comparatori.

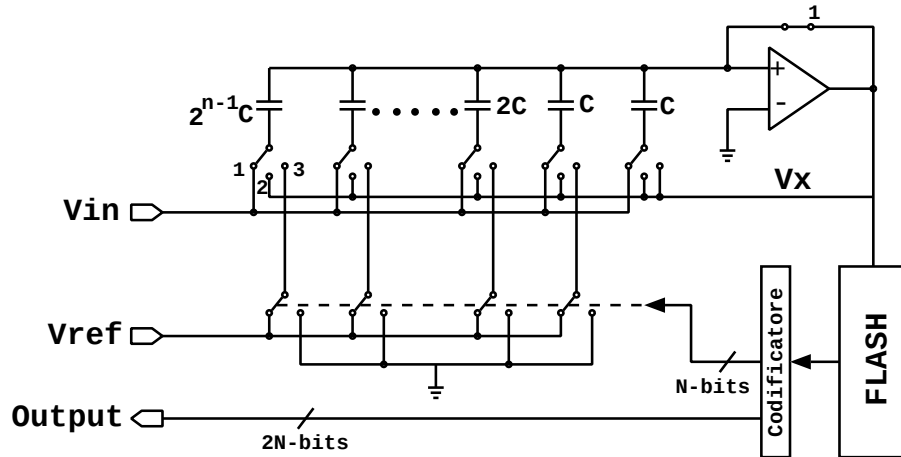


Figura 3.19: Schema semplificato di un convertitore A/D ciclico con MDAC.

operazionale. Gli interruttori sono pilotati da degli opportuni clock e permettono di variare la configurazione dell'MDAC in modo da implementare le fasi di campionamento e mantenimento, di conversione D/A e di amplificazione del residuo, rappresentate in Fig. 3.20 e qui esposte:

1. fase di campionamento, in cui i capacitori sono connessi alla tensione d'ingresso V_{in} . L'offset dell'operazionale si ritrova sull'uscita e viene memorizzato sui capacitori.
2. fase di mantenimento, in cui la tensione campionata viene trattenuta ed i capacitori vengono connessi sull'uscita dell'amplificatore, che si porta a V_{in} . È importante notare come l'uscita sia esattamente V_{in} , in quanto la tensione di

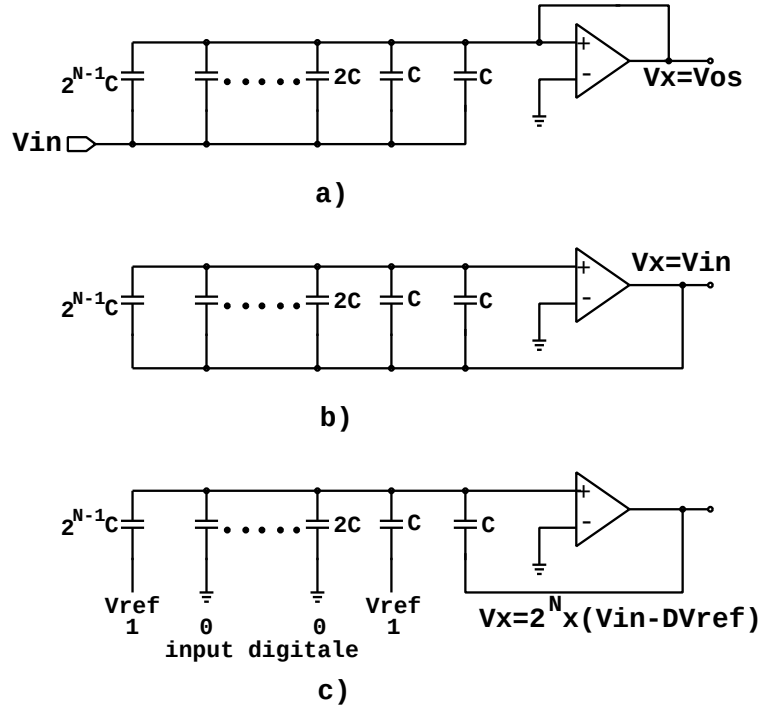


Figura 3.20: Fasi di funzionamento dell'MDAC: a) fase di campionamento, b) fase di mantenimento e c) fase di amplificazione.

offset memorizzata sui capacitori compensa quella dell'operazionale. Durante questa fase il flash effettua la conversione degli n bit più significativi.

3. fase di amplificazione, in cui viene generato il residuo $V_{in} - DV_{ref}$ (D é la parola binaria generata nella fase 2) e moltiplicato per 2^n . Durante questa fase il flash effettua la conversione degli n bit meno significativi. Tutto ciò é ottenuto controreazionando l'amplificatore con la capacità C_f , mentre gli n capacitori a peso binario vengono posti a V_{ref} o a massa a seconda che i bit generati nella fase 2 siano ad 1 od a 0. I bit pilotano le capacità di pari peso.

I problemi principali conseguenti a questo tipo di configurazione circuitale sono dovuti in primo luogo al mismatch dei capacitori, quindi al guadagno finito dell'operazionale, ed infine ai fenomeni di redistribuzione di carica degli interruptori in fase di commutazione, essendo questi realizzati con transistor MOS.

3.7.1 MDAC con RSD Esteso

In Fig. 3.21 viene presentata l'architettura utilizzata per sperimentare l'MDAC con RSD esteso. Le modifiche sostanziali apportate sono 4:

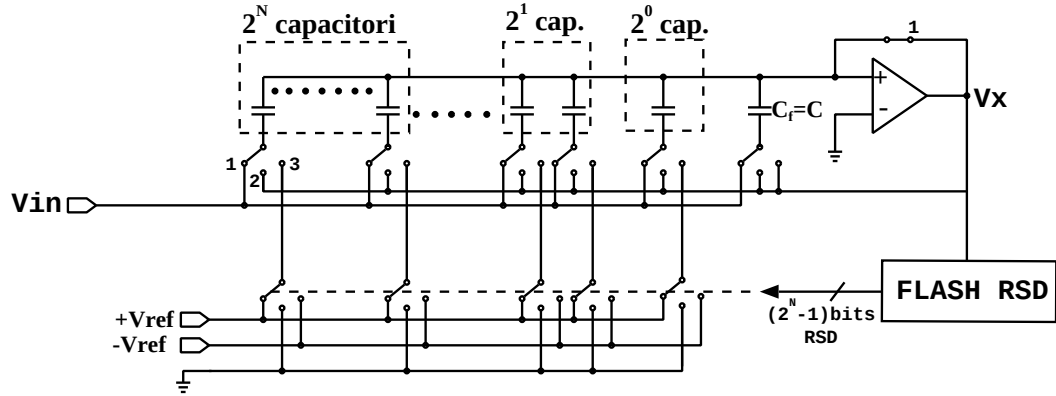


Figura 3.21: MDAC con RSD esteso.

1. ogni capacitore a peso binario $C_i = 2^i \cdot C$ è stato sostituito con 2^i capacitori uguali in parallelo;
2. il flash utilizzato implementa l'RSD;
3. le tensioni utilizzate per generare il residuo passano da due (0 e V_{ref}) a tre (0, $+V_{ref}$ e $-V_{ref}$);
4. il codice termometrico pilota direttamente gli interruttori per la generazione del residuo, senza bisogno di conversione in codice binario.

Il funzionamento nelle prime due fasi è identico al caso dell'MDAC convenzionale, mentre la terza differisce. Sfruttando direttamente le $2^n - 1$ coppie $[b_i+, b_i-]$ del codice termometrico bidirezionale, pilotiamo i $2^n - 1$ gruppi di capacitori C_i secondo la logica presentata nella Tab. 3.1. La tensione V_x che si ottiene al termine della fase 3 è pari a

$$V_x = 2^n \cdot V_{in} - \sum_{i=1}^n b'_i V_{ref}.$$

È importante fare due importanti osservazioni:

$[b_i+, b_i-]$	b'_i	C_i connesso a
$[1,0]$	$+1$	$+V_{ref}$
$[0,1]$	-1	$-V_{ref}$
$[0,0]$	0	0 V

Tabella 3.1: Logica di pilotaggio dei capacitori.

- l'aver considerato capacitori tutti uguali limita notevolmente i problemi di precisione dovuti al mismatch in quanto l'errore che si commette nel realizzarli fisicamente é molto inferiore rispetto al caso a peso binario;
- nella terza fase si é generato il residuo pilotando i capacitori seguendo il criterio bit i -esimo con capacitore i -esimo, ma ciò nonr rappresenta un vincolo, dato che i capacitori sono tutti uguali. Quindi se in fase di generazione del residuo le capacità fossero pilotate dai b_i secondo una legge casuale, il risultato finale non cambierebbe, ma così facendo si ridurrebbero ulteriormente gli errori dovuti al mismatch dei capacitori, dato che tendono a compensarsi.

3.7.2 MDAC Differenziale

Per l'MDAC che si intende realizzare é stata adottata un'architettura differenziale. Lo schema circuitale viene riportato in Fig. 3.22. Le parti del circuito identificate con UP e DW mettono in evidenza la simmetria della struttura, ed é importante notare come anche la tensione d'ingresso ΔV_{in} sia differenziale. La scansione delle tre fasi di conversione viene fatta pilotando opportunamente le matrici di interruttori con dei segnali di clocks (vedi Fig. 3.23). Di seguito analizziamo il ruolo di ognuno di essi:

- il clock $ck1$ controlla la fase 1 (campionamento del segnale) chiudendo gli interruttori $Sw1$ e $sw1'$, collegando così tutti i capacitori alle tensioni d'ingresso, e le uscite dell'operazionale a massa;
- il clock $ck2$ controlla la fase 2 di mantenimento e conversione del segnale

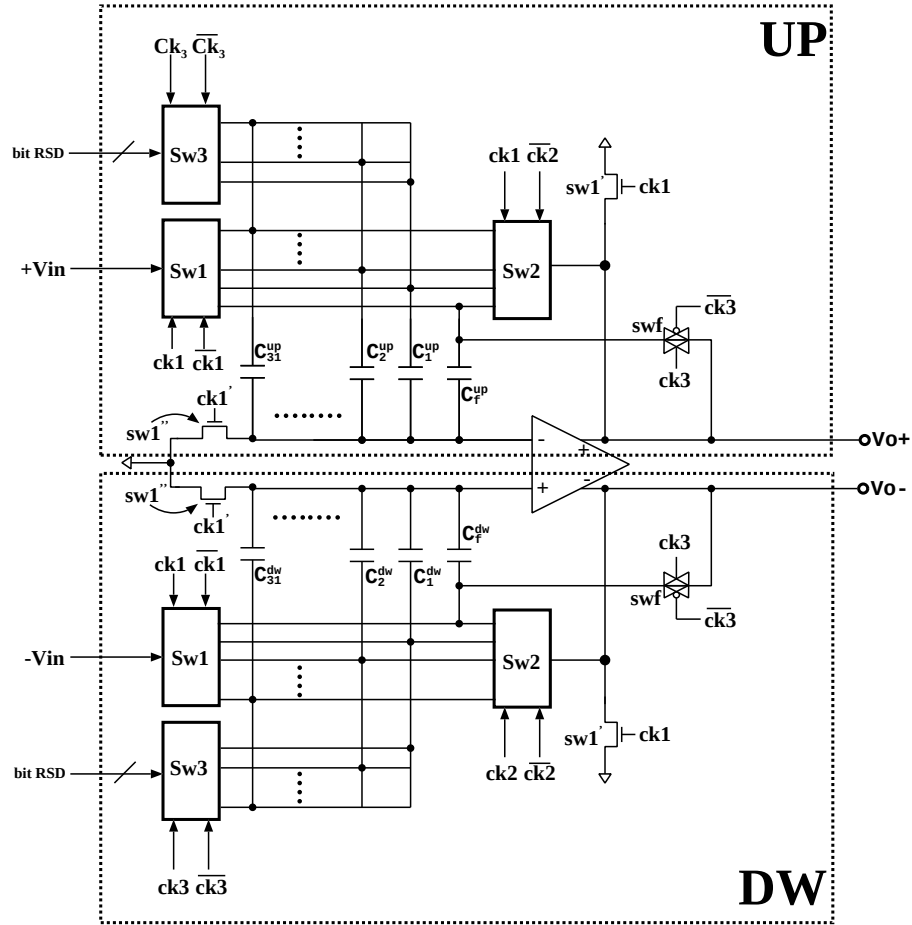


Figura 3.22: MDAC RSD differenziale a 3 bit.

(primi n bit) chiudendo gli switch $Sw2$ e collegando tutti i capacitori alle uscite dell'operazionale;

- il clock $ck3$ controlla la fase 3 di amplificazione, generazione del residuo e dei restanti n bit, collegando le capacità C_f alle uscite dell'operazionale tramite gli interruttori sw_f e collegando tutte le altre capacità verso le uscite del selettore logico $Sw3$;
- il clock $ck1'$ è uguale a $ck1$ se non per un duty-cycle leggermente inferiore, in modo da chiudere gli switch $sw1''$ verso massa all'inizio della fase 1 ed aprirli qualche istante prima degli $Sw1$, rendendo l'iniezione di carica indipendente dal segnale.

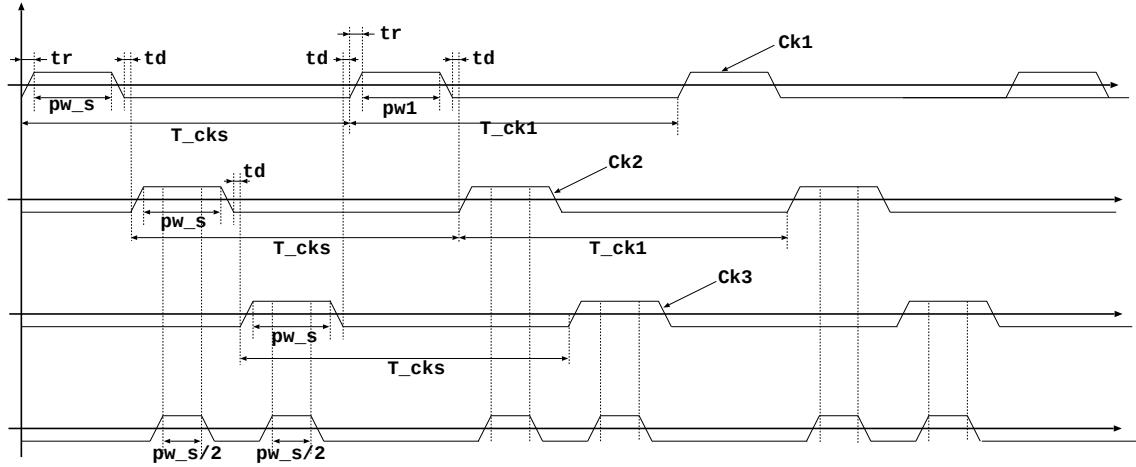


Figura 3.23: Temporizzazioni dei clock dell'MDAC.

3.8 Specifiche di Progetto

In questo paragrafo analizzeremo quali devono essere le specifiche di progetto dei blocchi del convertitore, mettendo in evidenza le caratteristiche più importanti per il corretto funzionamento del dispositivo.

3.8.1 Amplificatore Operazionale

Le specifiche riguardanti l'amplificatore operazionale riguardano tre dei suoi parametri fondamentali, il guadagno ad anello aperto A_0 , la frequenza di taglio f_t (frequenza alla quale per cui il guadagno si riduce a 1) e lo slew-rate SR .

Guadagno A_0

L'amplificatore viene reazionato in modo tale che il suo guadagno a ciclo chiuso A sia pari ad 1 nella fase di mantenimento ed a 2^5 (2^n con $n = 5$) nella fase di amplificazione. In realtà, il guadagno reale a ciclo chiuso A_R è pari a

$$A_R \simeq \frac{A}{1 + \frac{A}{A_0}},$$

e sarà tanto più prossimo al valore voluto A quanto più è A_0 sarà grande rispetto ad A . Dato che A è differente nei due casi anche le specifiche sul valore di A_0 lo

saranno. L'errore relativo che si commette é invece pari a

$$\varepsilon_1 = \frac{A - A_R}{A} = \frac{A}{A + A_0} \simeq \frac{A}{A_0} \quad (A_0 \gg A).$$

Fase di Mantenimento In questa fase il guadagno A é pari ad 1, mentre l'errore massimo ammesso é

$$e_{max} \leq \frac{LSB_6}{4} = \frac{1}{4} \frac{2 V_{ref}}{2^6} = \frac{V_{ref}}{2^7}$$

(incluso un fattore 2 di sicurezza). Si é usato LSB_6 in quanto in questa fase vengono generati 5 bit in codice RSD, equivalenti a 6 bit in codice binario. Sostituendo $e_{max} = \varepsilon_1 V_{ref}$ si ottiene

$$\frac{1}{A_0} V_{ref} \leq \frac{V_{ref}}{2^7},$$

da cui

$$A_0 \geq 2^7 = 42 \text{ dB}.$$

Fase di Amplificazione In questa fase il guadagno A é pari a 2^5 , mentre l'errore massimo ammesso é sempre lo stesso di prima (anche in questa fase vengono generati 5 bit in codice RSD). Sostituendo $e_{max} = \varepsilon_1 V_{ref}$ si ottiene

$$\frac{2^5}{A_0} V_{ref} \leq \frac{V_{ref}}{2^7},$$

da cui

$$A_0 \geq 2^{12} = 72 \text{ dB}.$$

Larghezza di Banda

Un'altro importante problema riguardante l'amplificatore operazionale riguarda il tempo di settaggio, inteso come periodo di tempo necessario affinché l'uscita si porti ad un determinato valore percentuale del valore a regime. Questo parametro dipende fondamentalmente dalla distribuzione di poli e zeri della funzione di trasferimento dell'operazionale, e dal suo slew rate. Per semplificare il ragionamento é utile considerare un sistema con un solo polo, quindi del primo ordine. Tale approssimazione nei casi reali é accettabile se l'amplificatore é stabile con un margine di fase di non

inferiore a 60° , il che significa avere il polo non dominante distante da quello dominante una quantità pari a $P_{ndom} \geq 1.7\omega_t$ dove con ω_t indichiamo la pulsazione di taglio. Considerando l'amplificatore un sistema del primo ordine (sistema stabile) l'uscita raggiunge il valore di regime con un errore relativo pari ad ε in un tempo

$$t_s = \tau_p \ln\left(\frac{1}{\varepsilon}\right) \simeq \frac{A}{2\pi GBW} \ln\left(\frac{1}{\varepsilon}\right)$$

da cui si ricava

$$GBW \simeq \frac{A}{2\pi t_s} \ln\left(\frac{1}{\varepsilon}\right).$$

Occorre individuare i tempi necessari per ciascuno dei tre cicli di conversione (t_1 , t_2 , e t_3), quindi considerando un periodo di campionamento $T_c = 100$ ns ($f_c = 10$ MHz), clock non sovrapposti e slew rate:

$$t_1 = 20 \text{ ns}$$

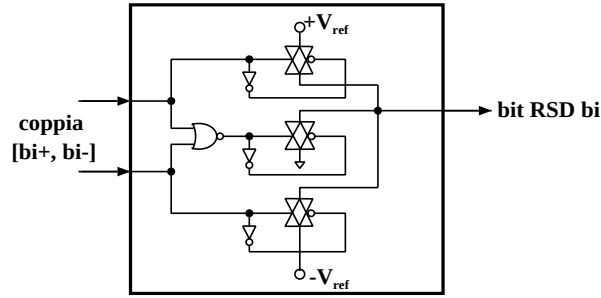
$$t_2 = 30 \text{ ns}$$

$$t_3 = 35 \text{ ns}$$

Utilizzando questi valori e con $\varepsilon = \varepsilon_1$ si ottiene una GBW pari a 27 MHz per la fase di mantenimento e ad oltre 700 MHz per la fase di amplificazione. Un amplificatore da 72 dB e 700 MHz di GBW non é semplice da realizzare ma in realtà ci si può accontentare che sia stabile quando il guadagno vale 2^5 . Questo semplifica la realizzazione dell'amplificatore.

3.8.2 Selettore Logico

Questo blocco ha il compito di impostare le tensioni dei capacitori collegati alla matrice $Sw3$ dell'MDAC nella fase 3, in modo da generare correttamente il residuo. In Fig. 3.24 ne viene presentato lo schema. I suoi ingressi sono le uscite del flash RSD che si determinano nella fase 2, mentre l'uscita é uno dei tre possibili valori: V_{ref} , 0 o $-V_{ref}$. La logica di funzionamento dei moduli nelle due parti del circuito (UP e DW) é opposta.

Figura 3.24: Selettore logico $Sw3$.

3.8.3 Flip Flop D e Codifica

Affinché si possa generare il resto in maniera corretta, occorre che per tutto il terzo ciclo di conversione i capacitori C_i con $i = 1, \dots, 31$ rimangano collegati. Per fare ciò si è utilizzato una semplice rete di memorizzazione di FFD (vedi Fig. 3.25), pilotati dal segnale ck_ffd .

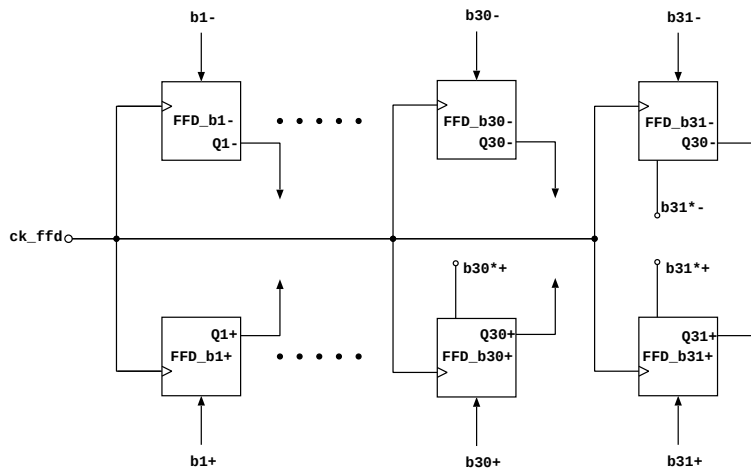


Figura 3.25: Rete di memorizzazione con FFD.

Il codice termometrico bidirezionale all'uscita del Flash, mal si adatta all'interfacciamento con dispositivi periferici. Ciò non costituisce un grosso problema in quanto è possibile realizzare in maniera non particolarmente complicata una rete di decodifica che trasforma il codice termometrico in codice binario classico.

3.9 Simulazioni MATLAB

Tramite un modello matematico del convertitore é stato possibile simulare lo stesso con MATLAB. L'uso di MATLAB permette di studiare in maniera semplice e veloce le prestazioni del convertitore al variare di vari parametri. In particolare (vedi listati in appendice) si é tenuto conto dell'offset dell'operazionale V_{off} , degli errori sulla comparazione (errore sulle tensioni di riferimento, offset dei comparatori, etc.) e dell'errore di guadagno sull'operazionale. In particolare gli errori sulla comparazione e sul guadagno dell'operazionale sono stati introdotti attraverso delle distribuzioni normali (a media nulla) di cui veniva specificata la deviazione standard σ . In Fig. 3.26 sono riportati gli errori di non linearità INL e DNL ottenuti con MATLAB. Il valore di LSB segnato si riferisce ad $n=10$ bit.

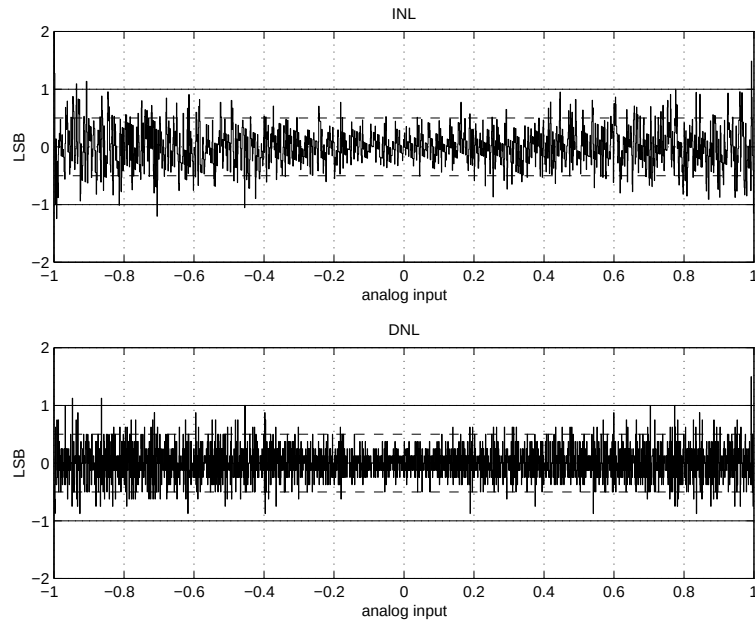


Figura 3.26: Errori di non linearità ottenuti con MATLAB ($V_{off}=10$ mV, $\sigma_{gain}=0.1\%$ e $\sigma_{comp}=0.5\%$).

3.10 Simulazioni Hspice

Si é proceduto alla simulazione del convertitore con Hspice utilizzando per i transistor MOS il modello BSIM3v3 (level 49 in Hspice) con i parametri della tecnologia CMOS standard AMS 0.8 μm . Per quanto riguarda l'amplificatore dell'MDAC si é utilizzato un modello ideale definito in Hspice in termini di poli e zeri ed avente le caratteristiche, in termini di guadagno e di frequenza di taglio, determinate precedentemente.

Le simulazioni sono state effettuate alla frequenza di 10 MHz, con una tensione d'alimentazione duale di ± 2.5 volt e ± 1 volt di range dinamico e con capacità da 0.1 pF. Il segnale da convertire é stato fatto variare su tutto il range dinamico. In Fig. 3.27 vengono riportate le uscite dell'MDAC (v_{o+} , v_{o-}) durante i tre cicli di conversione ed i tre segnali di clock che pilotano le varie fasi. In Tab. 3.2 sono

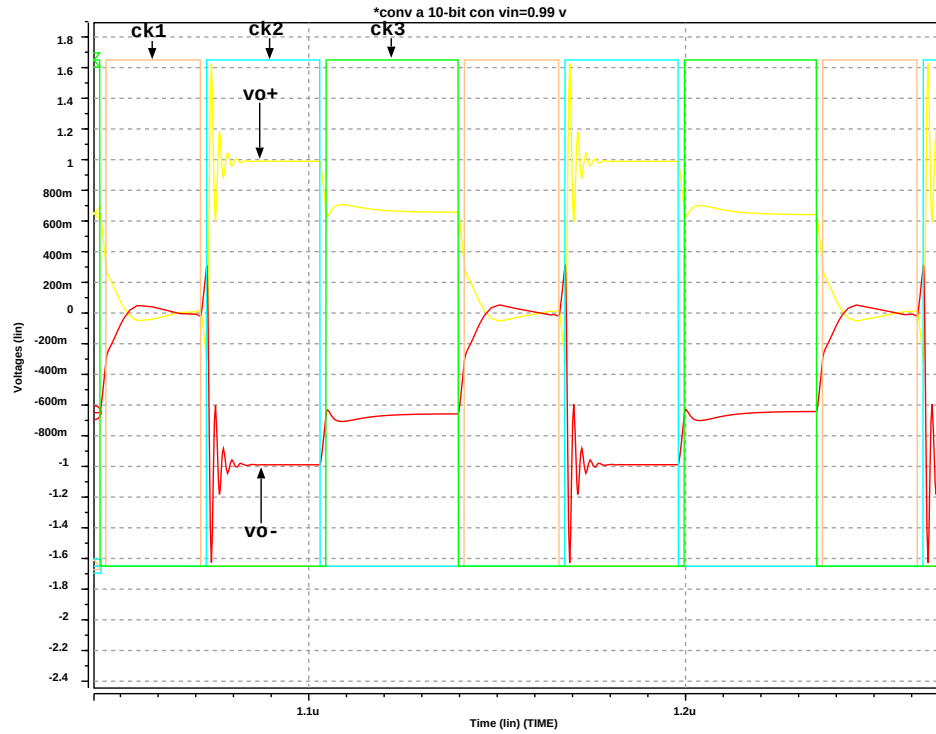


Figura 3.27: Simulazione per $V_{in} = 0.99$ V.

invece riportati il codice RSD, l'equivalente valore analogico convertito ed l'errore

relativi ad alcuni casi esplicativi. Si tenga presente che il nostro obiettivo é quello

V_{in} [mV]	RSD MSBs	RSD LSBs	V_{conv} [mV]	Errore
125	[0,0,1,0,1]	[-1,-1,-1,-1,-1]	125.97	-0.97
180	[0,0,1,1,0]	[0,0,-1,-1,-1]	180.66	-0.66
300	[0,1,0,1,0]	[0,-1,-1,0,-1]	299.80	+0.20
990	[1,1,1,1,1]	[1,0,1,1,0,0]	990.23	-0.23

Tabella 3.2: Alcuni esempi di segnali convertiti.

di realizzare un convertitore a 10 bit, cui corrisponde un errore massimo ammesso pari a

$$e_{max} \leq \frac{LSB_{10}}{2} = \frac{1}{2} \frac{2 V_{ref}}{2^{10}} = 0.9765 \text{ V}$$

Analizziamo le singole simulazioni si possono fare le seguenti considerazioni:

$V_{in}=25 \text{ mV}$ analizzando i bit del codice si nota come sia stato commesso un'errore sulla prima conversione, infatti idealmente per una $V_{in} = 0.125 \text{ V}$ avremmo dovuto ottenere MSBs=[0,0,1,0,0]. Questo deriva da un'errata comparazione di uno dei comparatori. Il codice viene corretto nella seconda conversione.

$V_{in}=180 \text{ mV}$ analizzando i bit del codice, questa volta si nota come la prima conversione sia esatta mentre sulla seconda si ottiene LSBs=[0,0,-1,-1,-1] (a fronte di un resto teorico di 240 mV si sarebbe dovuto ottenere LSBs=[0,-1,0,0,0]). L'errore complessivo però é ancora entro i limiti ammessi.

$V_{in}=300 \text{ mV}$ e $V_{in}=990 \text{ mV}$ In questi due casi la conversione vibtexene fatta senza alcun errore di comparazione in entrambi i cicli di conversione.

3.11 Conclusioni

Si é sperimentato un nuovo tipo di convertitore analogico/digitale utilizzando una tecnica finora poco sfruttata, denominata RSD. L'architettura é di tipo ibrido ciclico/flash: la conversione avviene in due cicli da 5 bit ciascuno, ottenuti tramite

un convertitore flash a 5 bit. Sfruttando la ridondanza della rappresentazione RSD é stato ridotto l'impatto degli errori di comparazione sul convertitore. Questo ha consentito l'utilizzo di comparatori, seppure in numero doppio, relativamente poco precisi ma molto semplici e compatti da realizzare, con un netto beneficio in termini di occupazione d'area e di consumo di potenza. L'MDAC utilizzato per implementare la parte ciclica del convertitore é stato appositamente progettato per poter operare direttamente sul codice termometrico RSD esteso generato dal flash. In particolare, al posto della convenzionale rete di capacità pesate si é fatto uso di un array di capacità tutte uguali e pilotate direttamente dall'uscita dei singoli comparatori. Questo ha permesso di migliorare la precisione dell'MDAC, normalmente affetto dal problema del *mismatch* fra le capacità.

Il convertitore é stato testato tramite simulazioni MATLAB ed Hspice, che hanno permesso di mettere in luce la validità della nuova tecnica. Le maggiori problematiche affrontate in questo studio sono state il dover modificare le strutture già esistenti nell'ambito della conversione RSD, quali convertitori flash ed MDAC, all'algoritmo scelto. I risultati raggiunti sono incoraggianti, in quanto a fronte di una frequenza di campionamento di circa 10 MHz, si é ottenuta una risoluzione di 10-bit. Occorre comunque precisare che tali performance devono ancora essere valutate in presenza di un amplificatore operativo reale e non solo di un modello. Già ora si possono individuare alcuni possibili sviluppi futuri:

1. Prima di tutto la tecnologia. Infatti in questo lavoro si é utilizzata una tecnologia non nuovissima (AMS 0.8 μ). Le possibilità attuali permettono di scendere fino a 0.35 μm . Questo porterà benefici oltre che in termini di precisione e potenza dissipata, anche in termini di velocità di conversione.
2. Si può inoltre pensare di aggiungere un terzo ciclo di conversione che permetterà di aumentare la risoluzione, compensando con i benefici velocistici portati da una nuova tecnologia, con il tempo necessario per effettuare il terzo ciclo.

Listati MATLAB

File nle.m

```
% nle.m: static characteristic, INL and DNL
clear

% TYPE OF CONVERTER + DATA
offOpA = 0.01; trsigm = 0.005; gain = 1.001;
M = 5; cycl = 2;
resol = M*cycl + 1;

% COMPUTE
resol
P = resol + 4; Ns = 2^(P); in = linspace(-1,1,Ns).';
q = ersd(in,M,cycl,offOpA,trsigm,gain);

adtrsf(in,q);
```

File ersd.m

```
function y = ersd(in,M,cycl,offOpA,trsigm,gain)

% ersd(in,M,cycl,offOpA,trsigm,gain) computes the output data of algorithmic
% extended RSD converters. The input "in" may be a column vector or a matrix.
% The I/O ports dynamic range is comprised between -1 to +1.
% M defines the number of bits of the extended RSD flash.
% The variable offOpA defines the Op Amp, offComp the comparator offset
% and trsigm the sigma of the randn distribution of transition errors
% The variable gain defines the relative error affecting all the componenets
% of the D to A converter (weights and gain).
```

```

% The number of output rows is rounded automatically to the lower nearest
% power of 2 to ease later fft evaluation of the output data.

% DATA
% in 'analog' input matrix or column.
% M number of bits of extended RSD flash
% cycl number of cycles
% gain D to A components relative error factor
% off0pA 0pAmp offset
% trsigm sigma of the transistion errors randn distribution
% Vref = 1

% INPUT
z = size(in); Ns = z(1,1); D = Ns - 2^(fix(log2(Ns))); St = z(1,2);

% RSD transitions
a = -2^(M+1)+3 : 2 : 2^(M+1)-3;
r = (1-2^(-M))/(2^(M+1)-2)*a'; t = length(r);
C = gain - 1; E1 = 1 + C*randn(1,Ns); E2 = 1 + C*randn(1,1);
rr = (r + trsigm*randn(t,1))*ones(1,Ns);

% EXTENDED RSD ALGORITHM
m = 1; while m <= St,
    R = in(:,m)';
    k = 1; out = 0; while k <= cycl,
        p = .5*sum(sign(ones(t,1)*R - rr)); % extended RSD flash
        R = 2^(M)*E2*R - p.*E1 + off0pA; % D to A conversion
        out = out + p/2^(M*k); % digital output
        k = k + 1;
    end
    W(:,m) = (out)';
    m = m + 1;
end
W = W(D+1:Ns,:);
y = W;

```


File adtrsf.m

```
function y = adtrsf(in,q);

% adtrsf(in,q) displays the A to D static transfer characteristics plus
% INL and DNL (after the pause). The column vectors 'in' and 'q' represent
% respectively the analog and digital I/O data. The midpoints are
% shown throughout the entire static transfer characteristic and the gain
% and offset evaluated after a linear regression has been performed.
% The vertical scales of the INL and DNL plots are set automatically.
% The green lines illustrate +/- one LSB tolerances, whereas the red lines
% correspond to +/- 1/2 LSB.

% read and plot data
zz = tst(q); N = zz(1,1); d = 2^(-N); m = zz(1,2); P = log2(length(q));
stairs(in,q); axis('square'); axis([-1 1 -1 1]); grid;
title('transfer characteristic');
xlabel('analog input'); ylabel('digital output'); hold on

% midpoints (shown if N <= 6 only)
Q = (-1+m*d: 2*d : 1-m*d)';
[u v] = hist(q,Q); z = length(Q);
h = 2^(1-P)*(u/2 + [0 cumsum(u(1,1:z-1))]) - 1;
if N <= 6,
    plot(h,Q,'*')
else
end

% linear regression
a = sum(h == -1); uu = h(1,a+2:length(u)-a-1);
pp = polyfit(uu',Q(a+2:length(u)-a-1,1),1);
gain = pp(1,1); s1 = sprintf('gain = %g',gain); text(-.8,.8,(s1));
offset = pp(1,2); s2 = sprintf('offset = %g',offset); text(-.8,.7,(s2));
zz = polyval(pp,h);
plot(h,zz,'g');
zoom on; hold off
pause

% INL
```

```

INL = 2^(N)*(h - (Q'-offset)/gain);

% DNL
DNL = u/2^(P-N)-1;

% INL and DNL GRAPH
U = [-1 1]; V = [1 1];
subplot(211);
plot(U,.5*V,'r--',U,-.5*V,'r--',U,V,'g-',U,-V,'g-');
axis([min(in) max(in) -2 2]); grid;
hold on;
stairs(Q-d,INL);
title('INL'); xlabel('analog input'); ylabel('LSB');
hold on;
subplot(212);
plot(U,.5*V,'r--',U,-.5*V,'r--',U,V,'g-',U,-V,'g-');
axis([min(in) max(in) -2 2]); grid; hold on;
stairs(Q-d,DNL);
title('DNL'); xlabel('analog input'); ylabel('LSB');
hold off;
subplot(111)
zoom out

```

File tst.m

```

function y = tst(q)

% tst(q) finds the resolution N and the type m of quantized data.
% The function is used wherever another function must operates on data
% without knowing the resolution and the kind of A to D converter used.
% The 'type' information determines the group to which belong the data q.

q = q(:,1);
k = 1; s = -1; while s < 0
a = q*2^(k); r = a-fix(a); s = min(r); p(:,k) = r;
k = k + 1;
end
w = 2^(k-2); z = min(abs(w*q-fix(w*q)));

```

$N = k; m = 2;$

$y = [N \ m];$

Bibliografia

- [1] K. Hwang. *Computer Arithmetic - Principles, Architecture and Design*. John Wiley & Sons, 1979.
- [2] A. Vandemeulebroecke, E. Vanzieleghem, T. Denayer, and P. Jespers. A new carry-free division algorithm and its application to a single-chip 1024-b rsa processor. *IEEE J. Solid-State Circuits*, SC-25:748–756, June 1990.
- [3] B.-S. Song, S.-H. Lee, and M. F. Tompsett. A 10-b 15-mhz cmos recycling two-step a/d converter. *IEEE J. Solid-State Circuits*, 25:1328–1338, December 1990.
- [4] P. W. Li, M. J. Chin, and R. Castello. A ratio-independent algorithm analog-to-digital conversion technique. *IEEE J. Solid-State Circuits*, SC-19:828–836, December 1984.
- [5] J. Doernberg, P. R. Gray, and D. Hodges. A 10-bit 5-megasamples/s cmos itwo-step flash adc. *IEEE J. Solid-State Circuits*, SC-24:241–249, April 1988.
- [6] B. Ginetti, A. Vandemeulebroecke, and P. Jespers. Rsd cyclic a to d converter. In *Symposium on VLSI Circuits*, pages 125–126, August 1988.
- [7] B. Ginetti and P. Jespers. A 1.5 ms/s 8-bit pipelined rsd a/d converter. In *Proceedings of the ESSCIRC 1990*, pages 137–140, September 1990.
- [8] B. Ginetti, P. Jespers, and A. Vandemeulebroecke. A cmos 13 bits cyclic rsd a/d converter. In *Proceedings of the ESSCIRC 1991*, pages 345–348, September 1991.

- [9] B. Ginetti and P. Jespers. A cmos 13-b cyclic rsd a/d converter. *IEEE J. Solid-State Circuits*, pages 957–965, December 1992.
- [10] R. Plassche. *Integrated Analog-to-Digital and Digital-to-Analog Converters*. Kluwer Academic Publishers, 1994.